

#3

Docket No. 1614.1082/HJS
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Hideo MIYAKE et al.

Group Art Unit:

Serial No.:

Examiner:

Filed: September 28, 2000

For: METHOD OF CONTROLLING A CACHE MEMORY TO INCREASE AN....

**SUBMISSION OF CERTIFIED COPY OF PRIOR
FOREIGN APPLICATION IN ACCORDANCE WITH
THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application(s):

Japanese Patent Application No. 11-281958

Filed: October 1, 1999

Japanese Patent Application No. 11-311455

Filed: November 1, 1999

Japanese Patent Application No. 11-345824

Filed: December 6, 1999

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date, as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: September 28, 2000

By: _____

J. Randall Beckers

Registration No. 30,358

700 Eleventh Street, N.W., Suite 500
Washington, D.C. 20001
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

1c932 U.S. PTO
09/671117
09/28/00



GP 2186

#6

Docket No. 1614.1082/HJS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Hideo MIYAKE et al.

Group Art Unit: 2186

Serial No.: 09/671,117

Examiner:

Filed: September 28, 2000

For: METHOD OF CONTROLLING A CACHE MEMORY TO INCREASE AN
ACCESS SPEED TO A MAIN MEMORY, AND A COMPUTER USING THE
METHOD

COMMUNICATION SUPPLYING REPLACEMENT
FORM PTO-1449

Assistant Commissioner for Patents
Washington, D.C. 20231

RECEIVED
MAR 13 2001
Technology Center 2100

Sir:

There was an error in the listing of Reference AG on Form PTO-1449 of the IDS filed February 1, 2001. In the listing of Reference AG, the date "04/1993" should be changed to --11/1993--.

A corrected/replacement Form PTO-1449 is attached hereto to correct this error.
Replacement of same is respectfully requested.

Respectfully submitted,
STAAS & HALSEY LLP

Date: March 12, 2001

By:

H. J. Staas
Registration No. 22,010

700 Eleventh Street, N.W., Suite 500
Washington, D.C. 20001
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC932 U.S. PTO
09/671117
09/28/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 0 月 1 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 2 8 1 9 5 8 号

出 願 人

Applicant (s):

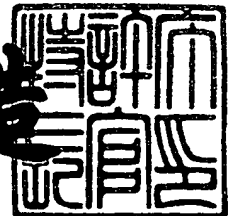
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 0 年 7 月 2 8 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 5 9 5 5 8

【書類名】 特許願

【整理番号】 9940508

【提出日】 平成11年10月 1日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 12/12

【発明の名称】 キャッシュメモリの制御方法とその方法を採用した計算機

【請求項の数】 6

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 三宅 英雄

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 須賀 敦浩

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 中村 泰基

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【郵便番号】 150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

 【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュメモリの制御方法とその方法を採用した計算機

【特許請求の範囲】

【請求項 1】 メインメモリに接続されると共に複数の領域に分割されたキャッシュメモリを制御するキャッシュメモリの制御方法であって、

前記キャッシュメモリへ命令信号を供給することにより、選択的に、少なくとも一つの前記領域を前記メインメモリとの置換を禁止する領域として設定し、あるいは前記設定を解除する第一のステップと、

前記設定により前記置換が禁止されている前記領域を前記メインメモリと置換することなく、前記キャッシュメモリ及び前記メインメモリに対するデータの読み書きを行う第二のステップとを有することを特徴としたキャッシュメモリの制御方法。

【請求項 2】 前記第一のステップにおいては、前記置換の禁止を設定する領域に対応するフラグをセットすると共に、前記設定を解除する領域に対応するフラグをリセットし、

前記第二のステップにおいては、前記フラグがセットされた前記領域を前記メインメモリとの置換の対象としない請求項 1 に記載のキャッシュメモリの制御方法。

【請求項 3】 前記第一のステップにおいては、一つの前記命令信号を前記キャッシュメモリへ供給することにより、前記設定を全て解除しうる請求項 1 に記載のキャッシュメモリの制御方法。

【請求項 4】 メインメモリと、前記メインメモリに接続され複数の領域に分割されたキャッシュメモリとを有する計算機であって、

前記キャッシュメモリへ供給された命令信号により、選択的に、少なくとも一つの前記領域を前記メインメモリとの置換を禁止する領域として設定し、あるいは前記設定を解除する置換領域設定手段と、

前記置換領域設定手段により前記置換の禁止が設定された前記領域を前記メインメモリと置換することなく、前記キャッシュメモリ及び前記メインメモリに対するデータの読み書きを行うデータ読み書き手段とを備えたことを特徴とする計

算機。

【請求項 5】 前記置換領域設定手段は、前記置換の禁止を設定する領域に対応するフラグをセットすると共に、前記設定を解除する領域に対応するフラグをリセットし、

前記データ読み書き手段は、前記フラグがセットされた前記領域を前記メインメモリとの置換の対象としない請求項 4 に記載の計算機。

【請求項 6】 前記置換領域設定手段は、さらに、供給された一つの前記命令信号により、前記置換を禁止する前記設定を全て解除し得る請求項 4 に記載の計算機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は計算機に関し、さらに詳しくは、キャッシュメモリの制御方法と該方法を実現する計算機に関するものである。

【0002】

【従来の技術】

一般に、プロセッサのメモリに対するアクセス速度を向上させる方法として、キャッシュメモリの使用が知られている。このキャッシュメモリの使用とは、ある一定の実行時間におけるプログラムよりアクセス（参照）されるメモリのアドレスは一部に集中するという参照局所性（referential locality）を効果的に用いたものである。

【0003】

なお、上記参照局所性は、局所性を示す対象により二つに分けられる。すなわち、一度アクセスされたアドレスに近接する（格納場所が近い）アドレスは、近いうちにアクセスされる可能性が高いという空間的参照局所性（spatial locality, locality in space）と、一度アクセスされたアドレスは、近いうちに何回もアクセスされる可能性が高いという時間的参照局所性（temporal locality, locality in time）とがあり、多くのプログラムはこのような参照局所性を持っている。

【 0 0 0 4 】

以下において、従来において提案されているキャッシュメモリを使用した計算機について説明する。図 1 は、従来のダイレクトマップ (direct mapped) 方式によるキャッシュ計算機の構成を示す図である。なお、ダイレクトマップ (direct mapped) 方式によるキャッシュ計算機においては、ライトスルー (write-through) 及びライトバック (write-back) の二つの形式がある。

【 0 0 0 5 】

ここで、「ライトスルー」とは、キャッシュメモリ 3 のデータの書き換えと同時にメインメモリ 5 のデータも更新する形式のものをいう。一方、「ライトバック」とは、いったんキャッシュメモリ 3 だけが書き換えられ、その後そのデータが含まれるキャッシュブロック # 0 ~ # n が置換の対象となってメインメモリ 5 へ追い出されることを利用してメインメモリ 5 が更新される形式のものをいう。

【 0 0 0 6 】

図 1 に示されるように、このキャッシュ計算機はプロセッサ 1 と、プロセッサ 1 に接続されたキャッシュメモリ 3 と、キャッシュメモリ 3 に接続されたメインメモリ 5 とを備える。そして、キャッシュメモリ 3 はアドレスレジスタ 7 と、比較器 9 と、制御部 1 1 と、データレジスタ 1 3 と、データ記憶部 1 0 とを含む。

ここで、アドレスレジスタ 7 はプロセッサ 1 に接続され、プロセッサ 1 から供給されたアドレスを保持する。また、データレジスタ 1 3 は制御部 1 1 及びプロセッサ 1 に接続され、プロセッサ 1 へ供給する読出データ、プロセッサ 1 から供給される書込データ、制御部 1 1 から供給される読出データ、及びデータ記憶部 1 0 へ供給される書込データを保持する。

【 0 0 0 7 】

また、データ記憶部 1 0 は複数の領域 (キャッシュブロック) # 0 ~ # n から構成され、各領域はタグ TAG と、有効フラグ V と、キャッシュブロックデータ DATA とを含む。そして、ライトバック形式のキャッシュ計算機においては、さらに変更フラグ M を含む。

ここで、タグ TAG はキャッシュブロック # 0 ~ # n の識別アドレスを保持する。また、有効フラグ V は $V = 0$ の時にキャッシュブロックが無効であり、 $V =$

1の時にキャッシュブロックが有効であることをそれぞれ意味するものである。

【0008】

またライトバック形式のキャッシュ計算機で用いられる変更フラグMは、M=0の時にキャッシュブロックは未置換（未変更）であり、M=1の時にキャッシュブロックがメインメモリと置換（変更）済みであることをそれぞれ意味するものである。

またキャッシュブロック#0～#nは、キャッシュブロックデータDATAとして、メインメモリ5から供給されたブロックデータを保持する。さらに、比較器9はアドレスレジスタ7を介してプロセッサ1から供給されたアドレスとタグTAGとを比較する。なお、有効フラグVが0である場合には不一致とみなされる。また、制御部11はプロセッサ1の命令読み出し動作の制御を行う。

【0009】

図2は、図1に示された制御部11の構成を示す図である。図2に示されるように、制御部11はプロセッサ1から供給された信号をデコードするデコード部300と、デコード部300に接続されデータ記憶部10及びメインメモリ5に対するデータ書き込みを制御する書込制御部322と、同様にデコード部300に接続されデータ記憶部10及びメインメモリ5からのデータ読み出しを制御する読出制御部311とを備える。

【0010】

以下において、上記計算機の動作について説明する。まずプロセッサ1によるデータ読み出し動作では、比較器9においてプロセッサ1より供給されたアドレスと、有効フラグVが1である有効なキャッシュブロックのタグTAGとを比較する。そして、一致するものがあるキャッシュヒット時は、キャッシュヒットを示す信号が比較器9から読出制御部311及び書込制御部322へ供給され、読出制御部311はアドレスレジスタ7から供給されたブロックアドレスに応じてデータ記憶部10からキャッシュブロックデータDATAを読み出し、データレジスタ13を介してプロセッサ1へ供給する。

【0011】

一方、一致するものが無いキャッシュミスヒット時は、キャッシュミスヒット

を示す信号が比較器 9 から読出制御部 3 1 1 及び書込制御部 3 2 2 へ供給され、読出制御部 3 1 1 及び書込制御部 3 2 2 は置換対象とするキャッシュブロックを決定してブロック置換を行う。すなわち、読出制御部 3 1 1 はメインメモリ 5 からデータを読出し、書込制御部 3 2 2 は読み出したデータを上記の置換したキャッシュブロックに書込むと共に、該キャッシュブロックに含まれた有効フラグ V を 1 とする。なお、ライトバック形式のキャッシュ計算機においては、この時置換対象とするキャッシュブロックの変更フラグ M が 1 である場合には、読出制御部 3 1 1 が該キャッシュブロックに既に書込まれているデータをメインメモリ 5 へも書込み、その後変更フラグ M が 0 とされた上で、該キャッシュブロックに新たなデータが書込まれる。また、キャッシュブロックに書込まれた該データはプロセッサ 1 へ供給される。

【0 0 1 2】

次に、プロセッサ 1 によるデータ書き込み動作について説明する。比較器 9 は、プロセッサ 1 より供給されたアドレスと有効フラグ V が 1 であるキャッシュブロックのタグ T A G とを比較する。この時、一致するものがあるキャッシュヒット時は、書込制御部 3 2 2 はアドレスレジスタ 7 から供給されたブロックアドレスに対応するキャッシュブロックへプロセッサ 1 より供給された書込データを書込み、ライトバック形式のキャッシュ計算機においては該キャッシュブロックに含まれた変更フラグ M が 1 とされる。一方、一致するものがないキャッシュミスヒット時は、書込制御部 3 2 2 によりメインメモリ 5 へ書込データが書込まれる。

【0 0 1 3】

図 3 は、従来のフル・アソシアティブ (full associative) 方式によるキャッシュ計算機の構成を示す図である。なお、フル・アソシアティブ (full associative) 方式によるキャッシュ計算機においても、上記ダイレクトマップ (direct mapped) 方式によるキャッシュ計算機と同様に、ライトスルー (write-through) 及びライトバック (write-back) の二つの形式がある。

【0 0 1 4】

図 3 に示されるように、このキャッシュ計算機は、図 1 に示された計算機と同

様にプロセッサ 1 と、プロセッサ 1 に接続されたキャッシュメモリ 3 0 と、キャッシュメモリ 3 0 に接続されたメインメモリ 5 とを備える。そして、キャッシュメモリ 3 0 はアドレスレジスタ 1 4 と、比較器 1 5, 1 7, 1 9, 2 0 と、制御部 2 3 と、データレジスタ 2 1 と、キャッシュブロック # 0 ~ # n とを含む。

【0 0 1 5】

また、図 4 は図 3 に示された制御部 2 3 の構成を示す図である。図 4 に示されるように、制御部 2 3 はブロックアドレス算出部 3 3 2 と、OR ゲート 3 3 9 と、デコード部 3 0 1 と、書込制御部 3 2 3 と、読出制御部 3 1 2 とを備える。そして、ブロックアドレス算出部 3 3 2 は比較器 1 5, 1 7, 1 9, 2 0 に接続され、かつ各キャッシュブロック # 0 ~ # n の有効フラグ V の値が供給される。また、OR ゲート 3 3 9 には各キャッシュブロック # 0 ~ # n の有効フラグ V の値が供給される。

【0 0 1 6】

また、デコード部 3 0 1 はプロセッサ 1 に接続され、供給された信号をデコードする。さらに、読出制御部 3 1 2 はデコード部 3 0 1 やブロックアドレス算出部 3 3 2 や OR ゲート 3 3 9 に接続されデータの読み出しを制御する。そして同様に、書込制御部 3 2 3 はデコード部 3 0 1 やブロックアドレス算出部 3 3 2 や OR ゲート 3 3 9 に接続されデータの書き込みを制御する。

【0 0 1 7】

このような方式によるキャッシュ計算機は、図 1 に示された計算機と同様に動作するが、ブロックアドレス算出部 3 3 2 から供給されたキャッシュブロックアドレス CBA 及び OR ゲート 3 3 9 から供給された信号に応じて、読出制御部 3 1 2 及び書込制御部 3 2 3 はデータの読出し又は書込みの対象とするキャッシュブロック # 0 ~ # n を選択するほか、プロセッサ 1 によるデータ書き込み動作におけるキャッシュミスヒット時の動作が相違する。すなわち、書込み動作におけるキャッシュミスヒット時には、読出制御部 3 1 2 及び書込制御部 3 2 3 は置換対象とするキャッシュブロック # 0 ~ # n を決定しブロック置換を行う。そして、置換対象とするキャッシュブロックの有効フラグ V が 1 に設定される。ここで、プロセッサ 1 から供給される書込データは、置換されたキャッシュブロ

ックとメインメモリ 5 との双方へ書込制御部 3 2 3 により書込まれる。

【0 0 1 8】

なお、ライトバック形式のキャッシュ計算機では、データ読出し時において、置換対象とするキャッシュブロックの変更フラグ M が 1 である場合には、読出制御部 3 1 2 が該キャッシュブロックに既に書込まれているデータをメインメモリ 5 にも書込み、その後変更フラグ M が 0 とされ、該キャッシュブロックへ新たなデータが書込まれる。

【0 0 1 9】

図 5 は、従来の 2 ウェイ・セット・アソシアティブ方式によるキャッシュ計算機の構成を示す図である。図 5 に示されるように、この計算機は図 1 に示された計算機と同様にプロセッサ 1 と、プロセッサ 1 に接続されたキャッシュメモリ 4 0 と、キャッシュメモリ 4 0 に接続されたメインメモリ 5 とを備える。そして、キャッシュメモリ 4 0 はアドレスレジスタ 2 5 と、比較器 9, 2 7 と、制御部 3 3 と、データレジスタ 3 1 と、二つのデータ記憶部（ウェイ）1 0, 2 9 とを含む。

【0 0 2 0】

図 6 は図 5 に示された制御部 3 3 の構成を示す図である。図 6 に示されるように、制御部 3 3 はブロックアドレス算出部 3 3 3 と、OR ゲート 3 4 0 と、デコード部 3 0 2 と、書込制御部 3 2 4 と、読出制御部 3 1 3 とを備える。そして、ブロックアドレス算出部 3 3 3 は比較器 9, 2 7 に接続され、かつ各ウェイ 1 0, 2 9 に含まれるキャッシュブロック # 0 ~ # n の有効フラグ V の値が供給される。また、OR ゲート 3 4 0 には各キャッシュブロック # 0 ~ # n の有効フラグ V の値が供給される。

【0 0 2 1】

また、デコード部 3 0 2 はプロセッサ 1 に接続され、供給された信号をデコードする。さらに、読出制御部 3 1 3 はデコード部 3 0 2 やブロックアドレス算出部 3 3 3 や OR ゲート 3 4 0 に接続されデータの読み出しを制御する。そして同様に、書込制御部 3 2 4 はデコード部 3 0 2 やブロックアドレス算出部 3 3 3 や OR ゲート 3 4 0 に接続されデータの書き込みを制御する。そして、このような

方式による計算機も、上記の計算機と同様に動作する。

【0022】

従って、従来の2ウェイ・セット・アソシアティブ方式によるライトバック形式のキャッシュ計算機においても、プロセッサ1による書込み動作時にはプロセッサ1から供給された書込データが置換対象とされるキャッシュブロックのみに書込まれる。すなわち、ライトバック形式のキャッシュ計算機においては、いったんキャッシュメモリ40だけが書き換えられ、その後そのデータが含まれるキャッシュブロック#0～#nが置換の対象となってメインメモリ5へ追い出されることを利用してメインメモリが更新される。

【0023】

上記のようなキャッシュメモリを使用した計算機においては、プロセッサ1のメインメモリ5に対するアクセス速度が向上されるが、外部割込みのような非同期的数据処理や多岐にわたる信号を処理するマルチメディア処理のように参照局所性が期待できないプログラムにおいては、キャッシュメモリの使用の効果が十分得られないという問題がある。

【0024】

【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたものであり、参照局所性が期待できないプログラムにおいてもメインメモリに対するアクセス速度を容易に向上させることができるキャッシュメモリの制御方法と、該方法を採用した計算機を提供することを目的とする。

【0025】

【課題を解決するための手段】

上記の目的は、メインメモリに接続されると共に複数の領域に分割されたキャッシュメモリを制御するキャッシュメモリの制御方法であって、キャッシュメモリへ命令信号を供給することにより、選択的に、少なくとも一つの領域をメインメモリとの置換を禁止する領域として設定し、あるいは設定を解除する第一のステップと、設定により置換が禁止されている領域をメインメモリと置換することなく、キャッシュメモリ及びメインメモリに対するデータの読み書きを行う第二

のステップとを有することを特徴としたキャッシュメモリの制御方法を提供することにより達成される。このような手段によれば、命令信号を供給することによりキャッシュメモリを構成する少なくとも一つの領域をメインメモリとの置換を禁止する領域と選択的に設定することができるため、不要な置換を抑止してメインメモリに対するアクセス速度を容易に向上させることができる。

【0026】

また、上記第一のステップにおいては、置換の禁止を設定する領域に対応するフラグをセットすると共に設定を解除する領域に対応するフラグをリセットし、第二のステップにおいては、フラグがセットされた領域をメインメモリとの置換の対象としないものとすることができる。そしてさらに上記第一のステップにおいては、一つの命令信号をキャッシュメモリへ供給することにより、設定を全て解除し得ることとすることができる。

【0027】

また、本発明の目的は、メインメモリと、メインメモリに接続され複数の領域に分割されたキャッシュメモリとを有する計算機であって、キャッシュメモリへ供給された命令信号により、選択的に、少なくとも一つの領域をメインメモリとの置換を禁止する領域として設定し、あるいは設定を解除する置換領域設定手段と、置換領域設定手段により置換の禁止が設定された領域をメインメモリと置換することなく、キャッシュメモリ及びメインメモリに対するデータの読み書きを行うデータ読み書き手段とを備えたことを特徴とする計算機を提供することにより達成される。

【0028】

また、上記置換領域設定手段は、置換の禁止を設定する領域に対応するフラグをセットすると共に、設定を解除する領域に対応するフラグをリセットし、データ読み書き手段は、フラグがセットされた領域をメインメモリとの置換の対象としないものとすることができる。そして、置換領域設定手段はさらに、供給された一つの命令信号により、置換を禁止する設定を全て解除し得るものとすることができる。

【0029】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、同一符号は同一又は相当部分を示す。

〔実施の形態 1〕

本発明の実施の形態 1 に係る計算機は、ダイレクトマップ (direct mapped) 方式によるキャッシュ計算機において、データを記憶するキャッシュメモリの全体又は一部に対して、供給された命令信号によりメインメモリに対する置換禁止領域を設定し得るものである。なお、上記ダイレクトマップ方式によるキャッシュ計算機においては、ライトスルー及びライトバックのいずれの形式を採用するものであっても、本発明が同様に適用される。以下において、より具体的に記述する。

(実施例 1)

図 7 は、本実施の形態に係る計算機においてキャッシュメモリ 5 0 のデータ記憶部 1 0 全体を置換禁止領域と設定し得る計算機の構成を示す図である。図 7 に示されるように、本実施例に係る計算機は図 1 に示された従来の計算機と同様な構成を有するが、プロセッサ 3 4 は命令フェッチ部 3 5 と命令実行部 3 7 とレジスタ部 3 2 とを含み、キャッシュメモリ 5 0 はロックフラグ L を含む点で相違する。

【0030】

また、図 8 は図 7 に示された制御部 3 9 の構成を示す図である。図 8 に示されるように、制御部 3 9 はデコード部 3 0 3 と、判断部 3 5 5 と、フラグ制御部 3 4 7 と、読出制御部 3 1 4 と、書込制御部 3 2 5 とを備える。ここで、デコード部 3 0 3 は命令実行部 3 7 に接続され、判断部 3 5 5 は比較器 9 およびロックフラグ L に接続される。また、フラグ制御部 3 4 7 はデコード部 3 0 3 及びロックフラグ L に接続される。そして、読出制御部 3 1 4 及び書込制御部 3 2 5 は、デコード部 3 0 3 とアドレスレジスタ 7 と比較器 9 及び判断部 3 5 5 等に接続される。

【0031】

このような構成を有する計算機は、図 1 に示された従来の計算機と同様に動作

するが、以下の点で相違する。すなわち、命令フェッチ部 3 5 はメインメモリ 5 またはキャッシュメモリ 5 0 から命令の読み出しを行い、キャッシュロック命令を読み出した場合にその命令を命令実行部 3 7 へ供給する。

ここで、一般的にキャッシュメモリ 5 0 の種類としては、専ら命令を格納する命令キャッシュと、専らデータを格納するデータキャッシュと、命令及びデータを格納する統合型 (unified) キャッシュとがあるが、図 7 においては統合型のキャッシュメモリ 5 0 を備えたキャッシュ計算機の構成が示される。

【 0 0 3 2 】

ここで、図 7 に示されるように統合型のキャッシュ計算機においては、命令フェッチ部 3 5 が命令をキャッシュメモリ 5 0 から読み出し、キャッシュミス時には命令をメインメモリ 5 からデータレジスタ 1 3 を介して読み出す。またデータについては、命令実行部 3 7 がメインメモリ 5 からデータレジスタ 1 3 を介して読み出す。一方、命令フェッチ部 3 5 からアドレスレジスタ 7 へは命令アドレスが供給され、命令実行部 3 7 からアドレスレジスタ 7 へはデータアドレスが供給される。なお、命令実行部 3 7 に接続されたレジスタ部 3 2 は、命令実行部 3 7 における処理のため一時的な記憶をしたり、該処理を容易に実行するために用いられる一種の記憶装置である。

【 0 0 3 3 】

そして、上記のように命令実行部 3 7 は供給された命令を実行するが、命令フェッチ部 3 5 からキャッシュロック命令が供給された場合には、メインメモリ 5 に対してデータ記憶部 1 0 全体を置換禁止領域とするキャッシュロックの実行を制御部 3 9 へ指示する。また命令実行部 3 7 は、キャッシュアンロック命令が供給された場合には、メインメモリ 5 に対してデータ記憶部 1 0 全体を置換禁止領域とする設定を解除するキャッシュアンロックの実行を制御部 3 9 へ指示する。

【 0 0 3 4 】

そして、制御部 3 9 は、命令実行部 3 7 よりキャッシュロックが指示された場合にはフラグ制御部 3 4 7 がロックフラグ L を 1 にし、キャッシュアンロックが指示された場合にはフラグ制御部 3 4 7 がロックフラグ L を 0 にすることにより置換禁止領域を設定する。ここで、プロセッサ 3 4 のデータ読み出し時において

は、読出制御部 314 及び書込制御部 325 は判断部 355 から供給されるオールロック信号 AL に応じてロックフラグ L の値が 0 か 1 かを判別し、0 の場合にはデータ記憶部 10 をメインメモリ 5 との置換の対象とする一方、1 の場合にはデータ記憶部 10 全体をメインメモリ 5 との置換禁止領域とする。すなわち、判断部 355 によりロックフラグ L の値が 1 であると判断された場合には、データ記憶部 10 全体についてメインメモリ 5 との置換がなされることなく、メインメモリ 5 またはキャッシュメモリ 50 からデータが読み出される。

【0035】

また同様に、プロセッサ 34 はデータの書込み時においても、判断部 355 がロックフラグ L の値が 0 か 1 かを判断し、0 の場合にはデータ記憶部 10 をメインメモリ 5 との置換の対象とする一方、1 の場合にはデータ記憶部 10 全体をメインメモリ 5 との置換禁止領域とする。すなわち、判断部 355 によりロックフラグ L の値が 1 であると判断された場合には、データ記憶部 10 全体についてメインメモリ 5 との置換がなされないため、メインメモリ 5 のみへ新たなデータが書込まれる。

【0036】

なお図 9 は、キャッシュメモリのデータ記憶部 111 全体を置換禁止領域と設定し得るキャッシュ計算機であって、ダイレクトマップ方式による命令キャッシュ計算機の構成を示す図である。図 9 に示されるように、この命令キャッシュ計算機においては、命令フェッチ部 135 が命令をフェッチデータとしてキャッシュメモリ 150 から読み出し、キャッシュミス時には命令をフェッチデータとしてメインメモリ 115 からデータレジスタ 113 を介して読み出す。一方、命令フェッチ部 135 からアドレスレジスタ 117 へ命令アドレスが供給され、比較器 119 においてアドレスレジスタ 117 から供給された命令アドレスとデータ記憶部 111 から読み出されたアドレスとが比較される。そして、この比較の結果に基づいて、制御部 139 はメインメモリ 115 に対するフェッチデータの読み出し及び書き込みを制御する。なお、命令実行部 137 にはレジスタ部 132 が接続される。

【0037】

また図 1 0 は、キャッシュメモリのデータ記憶部 2 1 0 全体を置換禁止領域と設定し得るキャッシュ計算機であって、ダイレクトマップ方式によるデータキャッシュ計算機の構成を示す図である。図 1 0 に示されるように、このデータキャッシュ計算機においては、命令実行部 2 3 7 がロードデータをキャッシュメモリ 2 5 0 から読み出し、キャッシュミス時にはメインメモリ 2 0 5 からデータレジスタ 2 1 3 を介して読み出す。一方、命令実行部 2 3 7 からアドレスレジスタ 2 1 7 へデータアドレスが供給され、比較器 2 1 9 においてアドレスレジスタ 2 1 7 から供給されたデータアドレスとデータ記憶部 2 1 0 から読み出されたアドレスとが比較される。そして、この比較の結果に基づいて、制御部 2 3 9 はメインメモリ 2 0 5 に対するデータの読み出し及び書き込みを制御する。なお、命令実行部 2 3 7 には命令フェッチ部 2 3 5 及びレジスタ部 2 3 2 が接続される。

【 0 0 3 8 】

また、上記におけるキャッシュロック命令とキャッシュアンロック命令とは、共に命令コード OP-CODE を含む図 1 1 に示されるような命令形式を有するが、キャッシュロック命令とキャッシュアンロック命令とは異なる命令コード OP-CODE を有する。

以上より本実施例に係る計算機によれば、データ記憶部 1 0 全体についてメインメモリ 5 との置換を禁止する領域の設定及び解除ができるため、必要に応じてキャッシュメモリ 5 0 のメインメモリ 5 との不要な置換を抑止し、プロセッサ 3 4 のメインメモリ 5 に対するアクセス速度の向上を図ることができる。

(実施例 2)

図 1 2 は、本実施の形態に係る計算機においてキャッシュメモリ 6 0 のデータ記憶部 4 9 につきキャッシュブロック # 0 ~ # n 毎に置換禁止領域を設定又は解除することができ、さらには全てのキャッシュブロック # 0 ~ # n を同時に解除することもできる計算機の構成を示す図である。なお、図 1 2 は統合型キャッシュ計算機の構成を示すが、上記実施例 1 のように、本実施例は命令キャッシュ計算機やデータキャッシュ計算機においても同様に適用できる。

【 0 0 3 9 】

図 1 2 に示されるように、本実施例に係る計算機は図 7 に示された上記実施例

1に係る計算機と同様な構成を有するが、データ記憶部10全体に対するロックフラグLの代わりに、データ記憶部49を構成するキャッシュブロック#0～#n毎にロックフラグLが設けられる点で相違する。

また、図13は図12に示された制御部47の構成を示す図である。図13に示されるように、制御部47は図8に示された制御部39と同様な構成を有するが、フラグ制御部348及び判断部356は、データ記憶部49を構成するキャッシュブロック#0～#n毎に設けられたロックフラグLに接続される点で相違する。

【0040】

このような構成を有する計算機は、図7に示された実施例1に係る計算機と同様に動作するが、以下の点で相違する。すなわち命令フェッチ部43はメインメモリ5またはキャッシュメモリ60から命令の読み出しを行い、キャッシュブロックロック命令やキャッシュブロックアンロック命令もしくはキャッシュロック解除命令を読み出した場合に、その命令を命令実行部45へ供給する。

【0041】

そして命令実行部45は、命令フェッチ部43からキャッシュブロックロック命令が供給された場合には、キャッシュブロックロック命令により指定されたキャッシュブロック#0～#nをメインメモリ5との置換禁止領域と設定するよう制御部47へ指示する。なお、このとき命令実行部45は、供給されたキャッシュブロックロック命令に基づいてレジスタ部42から読み出されたメモリアドレスに応じて、メインメモリ5との置換を禁止するキャッシュブロック#0～#nを選択する。また、以下に記す置換禁止領域の設定を解除する場合においても同様な選択がなされることとなる。

【0042】

一方、命令実行部45はキャッシュブロックアンロック命令が供給された場合には、キャッシュブロックアンロック命令により指定されたキャッシュブロック#0～#nのメインメモリ5に対する置換禁止領域の設定を解除するよう制御部47へ指示する。そしてさらには、キャッシュロック解除命令が供給された場合には、キャッシュブロック#0～#nの全てについて置換禁止領域とする設定を

解除するよう制御部 4 7 へ指示する。

【 0 0 4 3 】

そして制御部 4 7 においては、命令実行部 4 5 よりキャッシュブロック単位の置換禁止領域の設定（キャッシュブロックロック）が指示された場合には、フラグ制御部 3 4 8 が指定されたキャッシュブロックに含まれたロックフラグ L を 1 にし、キャッシュブロック単位の置換禁止領域の設定解除（キャッシュブロックアンロック）が指示された場合にはフラグ制御部 3 4 8 が指定されたキャッシュブロックに含まれたロックフラグ L を 0 にする。さらに、キャッシュブロック # 0 ~ # n の全てについて置換禁止領域とする設定を解除するキャッシュロック解除が指示された場合には、フラグ制御部 3 4 8 がキャッシュブロック # 0 ~ # n に含まれた全てのロックフラグ L を 0 にする。

【 0 0 4 4 】

そして、プロセッサ 4 1 のデータ読み出し時に、読出制御部 3 1 5 及び書込制御部 3 2 6 はキャッシュブロック # 0 ~ # n 毎のロックフラグ L の値が 0 か 1 かを判断部 3 5 6 から供給されるオールロック信号 A L に応じて判別し、ロックフラグ L が 0 のキャッシュブロックをメインメモリ 5 との置換対象とする一方、ロックフラグ L が 1 のキャッシュブロックをメインメモリ 5 との置換禁止領域とする。

【 0 0 4 5 】

また同様に、プロセッサ 4 1 のデータ書込み時においても、読出制御部 3 1 5 及び書込制御部 3 2 6 はロックフラグ L の値が 0 か 1 かを判別し、ロックフラグ L が 0 のキャッシュブロックをメインメモリ 5 との置換対象とする一方、ロックフラグ L が 1 のキャッシュブロックをメインメモリ 5 との置換禁止領域とする。すなわち、判断部 3 5 6 によりロックフラグ L の値が 1 であると判断されるキャッシュブロックに記憶されたデータは、データの読み出し時及び書込み時においてデータ記憶部 4 9 に存置されることとなる。従って、キャッシュメモリ 4 9 をメインメモリ 5 と置換する場合においては、ロックフラグ L が 0 のキャッシュブロックの中で選択されたキャッシュブロックが適宜置換対象とされる。

【 0 0 4 6 】

なお、上記におけるキャッシュブロックロック命令とキャッシュブロックアンロック命令とは、図 1 4 に示されるような命令形式を有する。ここで、図 1 4 に示されるようにキャッシュブロックロック命令とキャッシュブロックアンロック命令とは、命令コード OP-CODE と、オペランド BASE, OFFSET からなる。そして、オペランド BASE はキャッシュブロックを指定するためのメモリアドレスのベース値を保持するレジスタ部 4 2 内のレジスタの番号を示し、オペランド OFFSET はキャッシュブロックを指定するためのメモリアドレスのオフセット値を保持するレジスタ部 4 2 内のレジスタの番号を示す。ここで、上記メモリアドレスは上記ベース値にオフセット値を加算することで得られる。

【 0 0 4 7 】

以上より本実施例に係る計算機によれば、キャッシュブロック # 0 ~ # n 単位でメインメモリ 5 との置換を禁止する領域の設定及び解除ができるので、長いタイムスパンにおいて必要度が高い最小限のデータだけをデータ記憶部 4 9 に存置できる。これより、不要な置換を抑止してキャッシュメモリ 6 0 を有効に活用することができ、プロセッサ 4 1 のメインメモリ 5 に対するアクセス速度の向上を図ることができる。

〔実施の形態 2〕

本発明の実施の形態 2 に係る計算機は、フル・アソシアティブ (full associative) 方式によるキャッシュ計算機において、データを記憶するキャッシュメモリの全体又は一部に対して、供給する命令信号によりメインメモリに対する置換禁止領域を設定し得るものである。なお、上記フル・アソシアティブ方式によるキャッシュ計算機においては、ライトスルー及びライトバックのいずれの形式を採用するものであっても、本発明が同様に適用される。また、本実施の形態 2 においては統合型キャッシュ計算機を例にとり説明するが、命令キャッシュ計算機やデータキャッシュ計算機についても本実施の形態が同様に適用できる。以下において、より具体的に記述する。

(実施例 1)

図 1 5 は、本実施の形態に係る計算機においてキャッシュメモリ 7 0 に含まれたキャッシュブロック # 0 ~ # n の全体を同時に置換禁止領域と設定し得る計算

機の構成を示す図である。図 1 5 に示されるように、本実施例に係る計算機は図 3 に示された従来の計算機と同様な構成を有するが、プロセッサ 5 1 は命令フェッチ部 5 3 と命令実行部 5 5 及びレジスタ部 5 2 を含み、キャッシュメモリ 7 0 はロックフラグ L を含む点で相違する。

【 0 0 4 8 】

また、図 1 6 は図 1 5 に示された制御部 5 7 の構成を示す図である。図 1 6 に示されるように、制御部 5 7 は図 2 3 に示された従来の制御部 2 3 と同様な構成を有するが、フラグ制御部 3 4 9 と判断部 3 5 7 とをさらに備える点で相違する。ここで、フラグ制御部 3 4 9 はデコード部 3 0 5 及びロックフラグ L に接続され、判断部 3 5 7 はロックフラグ L と OR ゲート 3 4 1 と書込制御部 3 2 7 及び読出制御部 3 1 6 に接続される。

【 0 0 4 9 】

このような構成を有する計算機は、図 3 に示された従来の計算機と同様に動作するが、以下の点で相違する。すなわち、命令フェッチ部 5 3 はメインメモリ 5 またはキャッシュメモリ 7 0 から命令の読み出しを行い、キャッシュロック命令を読み出した場合にその命令を命令実行部 5 5 へ供給する。そして、命令実行部 5 5 は一般的に供給された命令を実行するが、命令フェッチ部 5 3 からキャッシュロック命令が供給された場合には、メインメモリ 5 に対してキャッシュブロック # 0 ~ # n 全体を同時に置換禁止領域とするキャッシュロックの実行を制御部 5 7 へ指示する。また命令実行部 5 5 は、キャッシュアンロック命令が供給された場合には、メインメモリ 5 に対してキャッシュブロック # 0 ~ # n 全体を同時に置換禁止領域とする設定を解除するキャッシュアンロックの実行を制御部 5 7 へ指示する。

【 0 0 5 0 】

そして、制御部 5 7 においては、命令実行部 5 5 よりキャッシュロックが指示された場合にはフラグ制御部 3 4 9 がロックフラグ L を 1 にし、キャッシュアンロックが指示された場合にはフラグ制御部 3 4 9 がロックフラグ L を 0 にする。ここで、プロセッサ 5 1 のデータの読み出し時において、読出制御部 3 1 6 及び書込制御部 3 2 7 は判断部 3 5 7 から供給されたオールロック信号 A L に応じて

ロックフラグLの値が0か1かを判別し、0の場合にはキャッシュブロック#0～#n全体をメインメモリ5との置換の対象とする一方、1の場合にはキャッシュブロック#0～#n全体を一括してメインメモリ5との置換禁止領域とする。すなわち、判断部357によりロックフラグLの値が1であると判断される場合には、キャッシュブロック#0～#n全体についてメインメモリ5との置換がなされることなく、メインメモリ5またはキャッシュメモリ70からデータが読み出される。

【0051】

また同様に、プロセッサ51はデータの書込み時においても、読出制御部316及び書込制御部327は判断部357から供給されたオールロック信号ALに応じてロックフラグLの値が0か1かを判別し、0の場合にはキャッシュブロック#0～#n全体をメインメモリ5との置換の対象とする一方、1の場合にはキャッシュブロック#0～#n全体をメインメモリ5との置換禁止領域とする。すなわち、判断部357によりロックフラグLの値が1であると判断される場合には、キャッシュブロック#0～#n全体についてメインメモリ5との置換がなされないため、メインメモリ5のみへ新たなデータが書込まれる。

【0052】

なお、上記におけるキャッシュロック命令とキャッシュアンロック命令とは、共に命令コードOP-CODEを含む図11に示されるような命令形式を有するが、キャッシュロック命令とキャッシュアンロック命令とは異なる命令コードOP-CODEを有する。

以上より本実施例に係る計算機によれば、キャッシュブロック#0～#n全体を一括してメインメモリ5との置換禁止領域と設定し、かつ、該設定を一括して解除できるため、必要に応じてキャッシュメモリ70のメインメモリ5との不要な置換を抑止し、プロセッサ51のメインメモリ5に対するアクセス速度の向上を図ることができる。

(実施例2)

図17は、本実施の形態に係る計算機においてキャッシュメモリ80のキャッシュブロック#0～#n毎に置換禁止領域を設定又は解除することができ、さら

には全てのキャッシュブロック # 0 ~ # n を同時に解除することもできる計算機の構成を示す図である。図 1 7 に示されるように、本実施例に係る計算機は図 1 5 に示された上記実施例 1 に係る計算機と同様な構成を有するが、キャッシュブロック # 0 ~ # n 全体に対応した一つのロックフラグ L の代わりに、キャッシュブロック # 0 ~ # n 毎にロックフラグ L が設けられる点で相違する。

【 0 0 5 3 】

このような構成を有する計算機は、図 1 5 に示された上記実施例 1 に係る計算機と同様に動作するが、以下の点で相違する。すなわち命令フェッチ部 6 3 はメインメモリ 5 またはキャッシュメモリ 8 0 から命令の読み出しを行い、キャッシュブロックロック命令やキャッシュブロックアンロック命令もしくはキャッシュロック解除命令を読み出した場合に、その命令を命令実行部 6 5 へ供給する。

【 0 0 5 4 】

そして命令実行部 6 5 は、命令フェッチ部 6 3 からキャッシュブロックロック命令が供給された場合には、キャッシュブロックロック命令により指定されたキャッシュブロック # 0 ~ # n をメインメモリ 5 との置換禁止領域と設定するよう制御部 6 7 へ指示する。また、命令実行部 6 5 はキャッシュブロックアンロック命令が供給された場合には、キャッシュブロックアンロック命令により指定されたキャッシュブロック # 0 ~ # n のメインメモリ 5 に対する置換禁止領域の設定を解除するよう制御部 6 7 へ指示する。そしてさらには、キャッシュロック解除命令が供給された場合には、キャッシュブロック # 0 ~ # n の全てについて置換禁止領域とする設定を一括して解除するよう制御部 6 7 へ指示する。

【 0 0 5 5 】

そして制御部 6 7 においては、命令実行部 6 5 よりキャッシュブロック単位の置換禁止領域の設定（キャッシュブロックロック）が指示された場合には、フラグ制御部 3 5 0 が指定されたキャッシュブロックに含まれたロックフラグ L を 1 にし、キャッシュブロック単位の置換禁止領域の設定解除（キャッシュブロックアンロック）が指示された場合にはフラグ制御部 3 5 0 が指定されたキャッシュブロックに含まれたロックフラグ L を 0 にする。さらに、キャッシュブロック # 0 ~ # n の全てについて置換禁止領域とする設定を一括して解除するキャッシュ

ロック解除が指示された場合にはフラグ制御部 3 5 0 がキャッシュブロック # 0 ~ # n に含まれた全てのロックフラグ L を同時に 0 にする。

【 0 0 5 6 】

そして、プロセッサ 6 1 のデータ読み出し時に、読出制御部 3 1 7 及び書込制御部 3 2 8 は判断部 3 5 8 から供給されたオールロック信号 A L に応じてキャッシュブロック # 0 ~ # n 毎のロックフラグ L の値が 0 か 1 かを判別し、ロックフラグ L が 0 のキャッシュブロックをメインメモリ 5 との置換対象とする一方、ロックフラグ L が 1 のキャッシュブロックをメインメモリ 5 との置換禁止領域とする。

【 0 0 5 7 】

また同様に、プロセッサ 6 1 のデータ書込み時においても、読出制御部 3 1 7 及び書込制御部 3 2 8 は判断部 3 5 8 から供給されたオールロック信号 A L に応じてロックフラグ L の値が 0 か 1 かを判別し、ロックフラグ L が 0 のキャッシュブロックをメインメモリ 5 との置換対象とする一方、ロックフラグ L が 1 のキャッシュブロックをメインメモリ 5 との置換禁止領域とする。すなわち、判断部 3 5 8 によりロックフラグ L の値が 1 であると判断されるキャッシュブロックに記憶されたデータは、データの読み出し時及び書込み時において置換されることなく存置されることとなる。従って、キャッシュメモリ 8 0 をメインメモリ 5 と置換する場合においては、ロックフラグ L が 0 のキャッシュブロックの中で選択されたキャッシュブロックが適宜置換対象とされる。

【 0 0 5 8 】

なお、上記におけるキャッシュブロックロック命令とキャッシュブロックアンロック命令とは、図 1 4 に示されるような命令形式を有する。ここで、図 1 4 に示されるようにキャッシュブロックロック命令とキャッシュブロックアンロック命令とは、命令コード OP-CODE と、オペランド BASE, OFFSET からなる。そして、オペランド BASE はキャッシュブロックを指定するためのメモリアドレスのベース値を保持するレジスタ部 6 2 内のレジスタの番号を示し、オペランド OFFSET はキャッシュブロックを指定するためのメモリアドレスのオフセット値を保持するレジスタ部 6 2 内のレジスタの番号を示す。ここで、上記メモリアドレスは上記ベ

ース値にオフセット値を加算することで得られる。

【0 0 5 9】

以上より本実施例に係る計算機によれば、キャッシュブロック # 0 ~ # n 単位でメインメモリ 5 との置換を禁止する領域の設定及び解除ができるので、長いタイムスパンにおいて必要度が高い最小限のデータだけをキャッシュブロックに存置できる。これより、不要な置換を抑止してキャッシュメモリ 8 0 を有効に活用することができ、プロセッサ 6 1 のメインメモリ 5 に対するアクセス速度の向上を図ることができる。

〔実施の形態 3〕

本発明の実施の形態 3 に係る計算機は、2 ウェイ・セット・アソシアティブ方式によるキャッシュ計算機において、データを記憶するキャッシュメモリの全体又は一部に対して、供給する命令信号によりメインメモリに対する置換禁止領域を設定し得るものである。なお、上記 2 ウェイ・セット・アソシアティブ方式によるキャッシュ計算機においては、ライトスルー及びライトバックのいずれの形式を採用するものであっても、本発明が同様に適用される。また、本実施の形態 3 においても統合型キャッシュ計算機を例にとり説明するが、命令キャッシュ計算機やデータキャッシュ計算機についても本実施の形態が同様に適用できる。以下において、より具体的に記述する。

(実施例 1)

図 1 9 は、本実施の形態に係る計算機においてキャッシュメモリ 9 0 に含まれた二つのウェイ 7 8, 7 9 の双方を同時に置換禁止領域と設定し得る計算機の構成を示す図である。図 1 9 に示されるように、本実施例に係る計算機は図 5 に示された従来の計算機と同様な構成を有するが、プロセッサ 7 1 は命令フェッチ部 7 3 と命令実行部 7 5 及びレジスタ部 7 2 とを含み、キャッシュメモリ 9 0 は一つのロックフラグ L を含む点で相違する。

【0 0 6 0】

また、図 2 0 は図 1 9 に示された制御部 7 7 の構成を示す図である。図 2 0 に示されるように、制御部 7 7 は図 6 に示された従来の制御部 3 3 と同様な構成を有するが、フラグ制御部 3 5 1 と判断部 3 5 9 とをさらに備える点で相違する。

ここで、フラグ制御部 3 5 1 はデコード部 3 0 7 及びロックフラグ L に接続され、判断部 3 5 9 はロックフラグ L と O R ゲート 3 4 3 と書込制御部 3 2 9 及び読出制御部 3 1 8 に接続される。

【 0 0 6 1 】

このような構成を有する計算機は、図 5 に示された従来の計算機と同様に動作するが、以下の点で相違する。すなわち、命令フェッチ部 7 3 はメインメモリ 5 またはキャッシュメモリ 9 0 から命令の読み出しを行い、キャッシュロック命令を読み出した場合にその命令を命令実行部 7 5 へ供給する。そして、命令実行部 7 5 は一般的に供給された命令を実行するが、命令フェッチ部 7 3 からキャッシュロック命令が供給された場合には、メインメモリ 5 に対してウェイ 7 8, 7 9 の双方を同時に置換禁止領域とするキャッシュロックの実行を制御部 7 7 へ指示する。また命令実行部 7 5 は、キャッシュアンロック命令が供給された場合には、メインメモリ 5 に対してウェイ 1 0, 2 9 の双方を同時に置換禁止領域とする設定を解除するキャッシュアンロックの実行を制御部 7 7 へ指示する。

【 0 0 6 2 】

そして、制御部 7 7 においては、命令実行部 7 5 よりキャッシュロックが指示された場合にはフラグ制御部 3 5 1 がロックフラグ L を 1 にし、キャッシュアンロックが指示された場合にはフラグ制御部 3 5 1 がロックフラグ L を 0 にする。ここで、プロセッサ 7 1 のデータの読み出し時において、読出制御部 3 1 8 及び書込制御部 3 2 9 は判断部 3 5 9 から供給されたオールロック信号 A L に応じてロックフラグ L の値が 0 か 1 かを判別し、0 の場合にはウェイ 7 8, 7 9 双方をメインメモリ 5 との置換の対象とする一方、1 の場合にはウェイ 7 8, 7 9 の双方を一括してメインメモリ 5 に対し置換禁止領域とする。すなわち、判断部 3 5 9 によりロックフラグ L の値が 1 であると判断される場合には、ウェイ 7 8, 7 9 双方についてメインメモリ 5 との置換がなされることなく、メインメモリ 5 またはキャッシュメモリ 9 0 からデータが読み出される。

【 0 0 6 3 】

また同様に、プロセッサ 7 1 はデータの書込み時においても、読出制御部 3 1 8 及び書込制御部 3 2 9 は判断部 3 5 9 から供給されたオールロック信号 A L に

応じてロックフラグLの値が0か1かを判別し、0の場合にはウェイ78, 79双方をメインメモリ5との置換の対象とする一方、1の場合にはウェイ78, 79双方をメインメモリ5との置換禁止領域とする。すなわち、判断部359によりロックフラグLの値が1であると判断される場合には、ウェイ78, 79双方についてメインメモリ5との置換がなされないため、メインメモリ5のみへ新たなデータが書込まれる。

【0064】

なお、上記におけるキャッシュロック命令とキャッシュアンロック命令とは、共に命令コードOP-CODEを含む図11に示されるような命令形式を有するが、キャッシュロック命令とキャッシュアンロック命令とは異なる命令コードOP-CODEを有する。

以上より本実施例に係る計算機によれば、ウェイ78, 79双方を一括してメインメモリ5との置換禁止領域と設定し、かつ、該設定を一括して解除できるため、必要に応じてキャッシュメモリ90のメインメモリ5との不要な置換を抑止し、プロセッサ71のメインメモリ5に対するアクセス速度の向上を図ることができる。

(実施例2)

図21は、本実施の形態に係る計算機においてキャッシュメモリ100に含まれたデータ記憶部(ウェイ)88, 89毎に置換禁止領域を設定又は解除することができ、さらには全てのウェイ88, 89を同時に解除することもできる計算機の構成を示す図である。図21に示されるように、本実施例に係る計算機は図19に示された上記実施例1に係る計算機と同様な構成を有するが、ウェイ78, 79双方に対応した一つのロックフラグLの代わりに、各ウェイ88, 89に対応してそれぞれロックフラグL0, L1が設けられる点で相違する。

【0065】

また、図22は図21に示された制御部87の構成を示す図である。図22に示されるように、制御部87は図20に示された制御部77と同様な構成を有するが、フラグ制御部352及び判断部360はそれぞれ、キャッシュウェイ88, 89に一对一に対応するよう設けられたロックフラグL0, L1の双方に接続

される点で相違する。

【 0 0 6 6 】

このような構成を有する計算機は、図 1 9 に示された上記実施例 1 に係る計算機と同様に動作するが、以下の点で相違する。すなわち命令フェッチ部 8 3 はメインメモリ 5 またはキャッシュメモリ 1 0 0 から命令の読み出しを行い、キャッシュウェイロック命令やキャッシュウェイアンロック命令もしくはキャッシュロック解除命令を読み出した場合に、その命令を命令実行部 8 5 へ供給する。

【 0 0 6 7 】

そして命令実行部 8 5 は、命令フェッチ部 8 3 からキャッシュウェイロック命令が供給された場合には、キャッシュウェイロック命令により指定されたキャッシュウェイをメインメモリ 5 との置換禁止領域と設定するよう制御部 8 7 へ指示する。また、命令実行部 8 5 はキャッシュウェイアンロック命令が供給された場合には、キャッシュウェイアンロック命令により指定されたキャッシュウェイのメインメモリ 5 に対する置換禁止領域の設定を解除するよう制御部 8 7 へ指示する。そしてさらには、キャッシュロック解除命令が供給された場合には、キャッシュウェイ 8 8, 8 9 の全てについて置換禁止領域とする設定を一括して解除するよう制御部 8 7 へ指示する。

【 0 0 6 8 】

そして制御部 8 7 においては、命令実行部 8 5 よりキャッシュウェイ単位の置換禁止領域の設定（キャッシュウェイロック）が指示された場合には、フラグ制御部 3 5 2 が指定されたキャッシュウェイに対応するロックフラグ L 0 またはロックフラグ L 1 を 1 にする。キャッシュウェイ単位の置換禁止領域の設定解除（キャッシュウェイアンロック）が指示された場合にはフラグ制御部 3 5 2 が指定されたキャッシュウェイに対応するロックフラグ L 0 またはロックフラグ L 1 を 0 にする。さらに、キャッシュウェイの双方について置換禁止領域とする設定を一括して解除するキャッシュロック解除が指示された場合にはフラグ制御部 3 5 2 が全てのロックフラグ L 0, L 1 を同時に 0 にする。

【 0 0 6 9 】

そして、プロセッサ 8 1 のデータ読み出し時に、読出制御部 3 1 9 及び書込制

御部 3 3 0 は判断部 3 6 0 から供給されたオールロック信号 A L に応じて各キャッシュウェイ 8 8, 8 9 にそれぞれ対応するロックフラグ L 0, L 1 の値が 0 か 1 かを判別し、0 の値を有するロックフラグに対応するキャッシュウェイをメインメモリ 5 との置換対象とする一方、1 の値を有するロックフラグに対応するキャッシュウェイをメインメモリ 5 との置換禁止領域とする。

【0 0 7 0】

また同様に、プロセッサ 8 1 のデータ書込み時においても、読出制御部 3 1 9 及び書込制御部 3 3 0 は判断部 3 6 0 から供給されたオールロック信号 A L に応じてロックフラグ L 0, L 1 の値が 0 か 1 かを判別し、0 の値を有するロックフラグに対応したキャッシュウェイをメインメモリ 5 との置換対象とする一方、1 の値を有するロックフラグに対応したキャッシュウェイをメインメモリ 5 との置換禁止領域とする。すなわち、判断部 3 6 0 によって値が 1 であると判断されるロックフラグに対応するキャッシュウェイに記憶されたデータは、データの読み出し時及び書込み時において置換されることなく存置されることとなる。なお、双方のロックフラグ L 0, L 1 の値が共に 0 であるときには、二つのキャッシュウェイ 8 8, 8 9 のうちで選択されたキャッシュウェイが優先的に置換対象とされ、双方のロックフラグ L 0, L 1 の値が共に 1 であるときには、二つのキャッシュウェイ 8 8, 8 9 は共に置換されることがない。

【0 0 7 1】

一方、上記におけるキャッシュウェイロック命令とキャッシュウェイアンロック命令とは、図 2 3 に示されるような命令形式を有する。ここで、図 2 3 に示されるようにキャッシュウェイロック命令とキャッシュウェイアンロック命令とは、命令コード OP-CODE と、オペランド WAY からなる。そして、オペランド WAY はキャッシュウェイを指定するためのウェイ番号を保持しているレジスタ部 8 2 内のレジスタの番号を示す。

【0 0 7 2】

以上より本実施例に係る計算機によれば、キャッシュウェイ 8 8, 8 9 単位でメインメモリ 5 との置換を禁止する領域の設定及び解除ができるので、長いタイムスパンにおいて必要度が高い最小限のデータだけをキャッシュウェイに存置で

きる。

すなわち、全てのキャッシュウェイ 88, 89 を置換禁止領域とせず、ロックしないウェイを置換対象として残すことにより、キャッシュメモリ 100 が元々備えていた参照局所性による効果を担保できると共に、不要な置換を抑止してキャッシュメモリ 100 を有効に活用することができる。このようにして、プロセッサ 81 のメインメモリ 5 に対するアクセス速度の向上を図ることができる。

(実施例 3)

図 24 は、本実施の形態に係る計算機において、キャッシュメモリ 110 に含まれた二つのデータ記憶部（ウェイ）98, 99 の同一キャッシュライン CL0 ~ CLn 毎に同時に置換禁止領域を設定又は解除することができ、さらには全ての置換禁止領域を同時に解除することもできる計算機の構成を示す図である。

【0073】

図 24 に示されるように、本実施例に係る計算機は図 21 に示された上記実施例 2 に係る計算機と同様な構成を有するが、各ウェイ 88, 89 に対応したロックフラグ L0, L1 の代わりに、各ウェイ 88, 89 のキャッシュライン CL0 ~ CLn に対応してそれぞれロックフラグ L0 ~ Ln が設けられる点で相違する。すなわち本実施例に係る計算機は、二つのデータ記憶部（ウェイ）98, 99 が共に (n+1) 本のキャッシュライン CL0 ~ CLn から構成され、例えば、ウェイ 98 のキャッシュライン CL0 とウェイ 99 のキャッシュライン CL0 に対応して一つのロックフラグ L0 が設けられる。そして、このロックフラグ L0 の値に応じてウェイ 98 のキャッシュライン CL0 とウェイ 99 のキャッシュライン CL0 とが同時に置換禁止領域と設定され、又は同時に該設定の解除がなされることになる。なお上記において、それぞれのウェイ 98, 99 における各キャッシュライン CL0 ~ CLn は、上記のキャッシュブロック #0 ~ #n に対応するものである。

【0074】

また、図 25 は図 24 に示された制御部 97 の構成を示す図である。図 25 に示されるように、制御部 97 は図 22 に示された制御部 87 と同様な構成を有するが、フラグ制御部 353 及び判断部 361 はそれぞれ、キャッシュライン CL

0 ~ CL_n に一対一に対応するよう設けられたロックフラグ L₀ ~ L_n に接続される点で相違する。

【0075】

このような構成を有する計算機は、図 2 1 に示された上記実施例 2 に係る計算機と同様に動作するが、以下の点で相違する。すなわち命令フェッチ部 9 3 はメインメモリ 5 またはキャッシュメモリ 1 1 0 から命令の読み出しを行い、キャッシュラインロック命令やキャッシュラインアンロック命令もしくはキャッシュロック解除命令を読み出した場合に、その命令を命令実行部 9 5 へ供給する。

【0076】

そして命令実行部 9 5 は、命令フェッチ部 9 3 からキャッシュラインロック命令が供給された場合には、キャッシュラインロック命令により指定されたキャッシュラインをメインメモリ 5 との置換禁止領域と設定するよう制御部 9 7 へ指示する。また、命令実行部 9 5 はキャッシュラインアンロック命令が供給された場合には、キャッシュラインアンロック命令により指定されたキャッシュラインのメインメモリ 5 に対する置換禁止領域の設定を解除するよう制御部 9 7 へ指示する。そしてさらには、キャッシュロック解除命令が供給された場合には、キャッシュライン CL₀ ~ CL_n の全てに関し、置換禁止領域とする設定を一括して解除するよう制御部 9 7 へ指示する。

【0077】

そして制御部 9 7 においては、命令実行部 9 5 よりキャッシュライン単位の置換禁止領域の設定（キャッシュラインロック）が指示された場合には、フラグ制御部 3 5 3 が指定されたキャッシュラインに対応するロックフラグを 1 にする。また、キャッシュライン単位で置換禁止領域の設定解除（キャッシュラインアンロック）が指示された場合にはフラグ制御部 3 5 3 が指定されたキャッシュラインに対応するロックフラグを 0 にする。さらに、全てのキャッシュライン L₀ ~ L_n について置換禁止領域とする設定を一括して解除するキャッシュロック解除が指示された場合にはフラグ制御部 3 5 3 が全てのロックフラグ L₀ ~ L_n を同時に 0 にする。

【0078】

そして、プロセッサ 9 1 のデータ読み出し時に、読出制御部 3 2 0 及び書込制御部 3 3 1 は判断部 3 6 1 から供給されたオールロック信号 A L に応じて両ウェイ 9 8, 9 9 にそれぞれ含まれたキャッシュライン C L 0 ~ C L n に対応するロックフラグ L 0 ~ L n の値が 0 か 1 かを判別し、0 の値を有するロックフラグに対応し各ウェイ 9 8, 9 9 に含まれるキャッシュラインを共にメインメモリ 5 との置換対象とする一方、1 の値を有するロックフラグに対応し各ウェイ 9 8, 9 9 に含まれるキャッシュラインを共にメインメモリ 5 との置換禁止領域とする。

【0 0 7 9】

また同様に、プロセッサ 9 1 のデータ書込み時においても、読出制御部 3 2 0 及び書込制御部 3 3 1 は判断部 3 6 1 から供給されたオールロック信号 A L に応じて各ロックフラグ L 0 ~ L n の値が 0 か 1 かを判別し、0 の値を有するロックフラグに対応すると共に各ウェイ 9 8, 9 9 に含まれたキャッシュラインをメインメモリ 5 との置換対象とする一方、1 の値を有するロックフラグに対応すると共に各ウェイ 9 8, 9 9 に含まれたキャッシュラインをメインメモリ 5 との置換禁止領域とする。

【0 0 8 0】

すなわち、判断部 3 6 1 によって値が 1 であると判断されるロックフラグに対応する両ウェイ 9 8, 9 9 のキャッシュラインに記憶されたデータは、データの読み出し時及び書込み時において置換されることなく存置されることとなる。なお、二つ以上のロックフラグ L 0 ~ L n の値が共に 0 であるときには、該ロックフラグに対応するキャッシュラインのうちで選択されたキャッシュラインが置換対象とされ、全てのロックフラグ L 0 ~ L n の値が 1 であるときには、いかなるキャッシュライン C L 0 ~ C L n も置換されることがない。

【0 0 8 1】

一方、上記におけるキャッシュラインロック命令とキャッシュラインアンロック命令とは、図 2 6 に示されるような命令形式を有する。ここで、図 2 6 に示されるようにキャッシュラインロック命令とキャッシュラインアンロック命令とは、命令コード O P - C O D E と、オペランド L I N E からなる。そして、オペランド L I N E はキャッシュラインを指定するためのライン番号を保持しているレジスタ部 9 2 内

のレジスタの番号を示す。

【 0 0 8 2 】

なお、上記におけるキャッシュラインロック命令とキャッシュラインアンロック命令とは、上記図 1 4 に示される命令形式と同様の形式を有するものとすることもできる。そして、本実施例においては、オペランドBASEはキャッシュラインを指定するためのメモリアドレスのベース値を保持するレジスタ部 9 2 内のレジスタの番号を示し、オペランドOFFSETはキャッシュラインを指定するためのメモリアドレスのオフセット値を保持するレジスタ部 9 2 内のレジスタの番号を示すものとされる。ここで、上記メモリアドレスは上記ベース値にオフセット値を加算することで得られる。

【 0 0 8 3 】

以上より本実施例に係る計算機によれば、各ウェイ 9 8, 9 9 内のキャッシュラインCL0～CLn毎にメインメモリ5との置換を禁止する領域の設定及び解除ができるので、長いタイムスパンにおいて必要度が高いデータだけをキャッシュウェイに存置できる。

すなわち、全てのキャッシュラインCL0～CLnを置換禁止領域とせず、ロックしないキャッシュラインをメインメモリ5との置換対象として残すことにより、キャッシュメモリ110が元々備えていた参照局所性による効果を担保できると共に、不要な置換を抑止してキャッシュメモリ110を有効に活用することができる。このようにして、プロセッサ91のメインメモリ5に対するアクセス速度の向上を図ることができる。

(実施例 4)

図 2 7 は、本実施の形態に係る計算機において、キャッシュメモリ120に含まれたデータ記憶部(ウェイ)108, 109の各キャッシュブロック#0～#n毎に置換禁止領域を設定又は解除することができ、さらには全ての置換禁止領域を同時に解除することもできる計算機の構成を示す図である。

【 0 0 8 4 】

図 2 7 に示されるように、本実施例に係る計算機は図 2 4 に示された上記実施例 3 に係る計算機と同様な構成を有するが、両ウェイ 9 8, 9 9 のキャッシュ

インCL0～CLnに対応してそれぞれロックフラグL0～Lnが設けられる代わりに、ウェイ108, 109の各キャッシュブロック#0～#n内にそれぞれロックフラグLが設けられる点で相違する。

【0085】

また、図28は図27に示された制御部107の構成を示す図である。図28に示されるように、制御部107は図25に示された制御部97と同様な構成を有するが、フラグ制御部354及び判断部362はそれぞれ、各キャッシュブロック#0～#n毎に設けられたロックフラグLに接続される点で相違する。

このような構成を有する計算機は、図24に示された上記実施例3に係る計算機と同様に動作するが、以下の点で相違する。すなわち命令フェッチ部103はメインメモリ5またはキャッシュメモリ120から命令の読み出しを行い、キャッシュブロックロック命令やキャッシュブロックアンロック命令もしくはキャッシュロック解除命令を読み出した場合に、その命令を命令実行部105へ供給する。

【0086】

そして命令実行部105は、命令フェッチ部103からキャッシュブロックロック命令が供給された場合には、キャッシュブロックロック命令により指定されたキャッシュブロックをメインメモリ5との置換禁止領域と設定するよう制御部107へ指示する。また、命令実行部105はキャッシュブロックアンロック命令が供給された場合には、キャッシュブロックアンロック命令により指定されたキャッシュブロックのメインメモリ5に対する置換禁止領域の設定を解除するよう制御部107へ指示する。そしてさらには、キャッシュロック解除命令が供給された場合には、キャッシュブロック#0～#nの全てに関し、置換禁止領域とする設定を一括して解除するよう制御部107へ指示する。

そして制御部107においては、命令実行部105よりキャッシュブロック単位の置換禁止領域の設定（キャッシュブロックロック）が指示された場合には、フラグ制御部354が指定されたキャッシュブロックに対応するロックフラグを1にする。また、キャッシュブロック単位で置換禁止領域の設定解除（キャッシュブロックアンロック）が指示された場合にはフラグ制御部354が指定された

キャッシュブロックに対応するロックフラグを0にする。さらに、全てのキャッシュブロック#0～#nに関して、置換禁止領域とする設定を一括して解除するキャッシュロック解除が指示された場合にはフラグ制御部354が全てのロックフラグLを同時に0にする。

【0087】

そして、プロセッサ101のデータ読み出し時に、読出制御部321及び書込制御部363は判断部362から供給されたオールロック信号ALに応じて両ウェイ108, 109を構成する各キャッシュブロック#0～#nに含まれた各ロックフラグLの値が0か1かを判別し、0の値を有するロックフラグLに対応するキャッシュブロックをメインメモリ5との置換対象とする一方、1の値を有するロックフラグLに対応するキャッシュブロックをメインメモリ5との置換禁止領域とする。

【0088】

また同様に、プロセッサ101のデータ書込み時においても、読出制御部321及び書込制御部363は判断部362から供給されたオールロック信号ALに応じて各キャッシュブロック#0～#nに含まれた各ロックフラグLの値が0か1かを判別し、0の値を有するロックフラグLに対応するキャッシュブロックをメインメモリ5との置換対象とする一方、1の値を有するロックフラグLに対応するキャッシュブロックをメインメモリ5との置換禁止領域とする。

【0089】

すなわち、判断部362によって値が1であると判断されるロックフラグLに対応するキャッシュブロックに記憶されたデータは、データの読み出し時及び書込み時において置換されることなく存置されることとなる。なお、二つ以上のロックフラグLの値が共に0であるときには、該ロックフラグLに対応するキャッシュブロックのうちで選択されたキャッシュブロックが置換対象とされ、全てのロックフラグLの値が1であるときには、いかなるキャッシュブロック#0～#nも置換されることがない。

【0090】

一方、上記におけるキャッシュブロックロック命令とキャッシュブロックアン

ロック命令とは、図 1 4 に示されるような命令形式を有する。ここで、図 1 4 に示されるようにキャッシュブロックロック命令とキャッシュブロックアンロック命令とは、命令コード OP-CODE と、オペランド BASE, OFFSET からなる。そして、本実施例においては、オペランド BASE はキャッシュブロックを指定するためのメモリアドレスのベース値を保持するレジスタ部 1 0 2 内のレジスタの番号を示し、オペランド OFFSET はキャッシュブロックを指定するためのメモリアドレスのオフセット値を保持するレジスタ部 1 0 2 内のレジスタの番号を示すものとされる。ここで、上記メモリアドレスは上記ベース値にオフセット値を加算することで得られる。

【 0 0 9 1 】

以上より本実施例に係る計算機によれば、各キャッシュブロック # 0 ~ # n 毎にメインメモリ 5 との置換を禁止する領域の設定及び解除ができるので、長いタイムスパンにおいて必要度が高い最小限のデータだけをウェイ 1 0 8, 1 0 9 に存置できる。

すなわち、全てのキャッシュブロック # 0 ~ # n を置換禁止領域とせず、ロックしないキャッシュブロックをメインメモリ 5 との置換対象として残すことにより、キャッシュメモリ 1 2 0 が元々備えていた参照局所性による効果を担保できると共に、不要な置換を抑止してキャッシュメモリ 1 2 0 を有効に活用することができる。このようにして、プロセッサ 1 0 1 のメインメモリ 5 に対するアクセス速度の向上を図ることができる。

【 0 0 9 2 】

最後に、本発明の課題を解決するための手段について付記する。

(1) メインメモリに接続されると共に複数の領域に分割されたキャッシュメモリを制御するキャッシュメモリの制御方法であって、キャッシュメモリへ命令信号を供給することにより、選択的に、少なくとも一つの領域をメインメモリとの置換を禁止する領域として設定し、あるいは上記設定を解除する第一のステップと、上記設定により置換が禁止されている領域をメインメモリと置換することなく、キャッシュメモリ及びメインメモリに対するデータの読み書きを行う第二のステップとを有することを特徴としたキャッシュメモリの制御方法。

(2) 上記領域は、キャッシュメモリを構成するキャッシュウェイである (1) に記載のキャッシュメモリの制御方法。

(3) 上記領域は、キャッシュメモリを構成するキャッシュラインである (1) に記載のキャッシュメモリの制御方法。

(4) 上記領域は、キャッシュメモリを構成するキャッシュブロックである (1) に記載のキャッシュメモリの制御方法。

(5) メインメモリと、メインメモリに接続され複数の領域に分割されたキャッシュメモリとを有する計算機であって、キャッシュメモリへ供給された命令信号により、選択的に、少なくとも一つの領域をメインメモリとの置換を禁止する領域として設定し、あるいは設定を解除する置換領域設定手段と、置換領域設定手段により置換の禁止が設定された領域をメインメモリと置換することなく、キャッシュメモリ及びメインメモリに対するデータの読み書きを行うデータ読み書き手段とを備えたことを特徴とする計算機。

(6) 上記領域は、キャッシュメモリを構成するキャッシュウェイである (5) に記載の計算機。

(7) 上記領域は、キャッシュメモリを構成するキャッシュラインである (5) に記載の計算機。

(8) 上記領域は、キャッシュメモリを構成するキャッシュブロックである (5) に記載の計算機。

【 0 0 9 3 】

なお、上記領域をキャッシュウェイまたはキャッシュラインとすることにより、参照局所性に対応した高速なデータの読み書きを維持しながら、不要な置換を抑止してメインメモリへのアクセス速度の向上を図ることができる。

また、上記領域をキャッシュブロックとすれば、キャッシュブロック単位で不要な置換を抑止することができるため、キャッシュメモリをより有効に活用することができる。これより、全体として上記参照局所性に応じたより高速なデータの読み書きが実現でき、メインメモリへのアクセス速度の向上をさらに図ることができる。

【 0 0 9 4 】

【発明の効果】

上述の如く、本発明によれば、命令信号を供給することによりキャッシュメモリを構成する少なくとも一つの領域をメインメモリとの置換を禁止する領域として選択的に設定することができるため、キャッシュメモリの不要な置換を抑止してメインメモリへのアクセス速度の向上を図ることができる。

【0095】

また、キャッシュメモリへ供給された一つの命令信号により、置換禁止領域とする設定が全て解除され得ることとすれば、メインメモリに対する置換の制限を容易になくすことができ、参照局所性に従うデータの読み書きを最大限に優先させることができる。

【図面の簡単な説明】

【図 1】

従来のダイレクトマップ (direct mapped) 方式によるキャッシュ計算機の構成を示す図である。

【図 2】

図 1 に示された制御部の構成を示す図である。

【図 3】

従来のフル・アソシアティブ (full associative) 方式によるキャッシュ計算機の構成を示す図である。

【図 4】

図 3 に示された制御部の構成を示す図である。

【図 5】

従来の 2 ウェイ・セット・アソシアティブ方式によるキャッシュ計算機の構成を示す図である。

【図 6】

図 5 に示された制御部の構成を示す図である。

【図 7】

実施の形態 1 に係るダイレクトマップ方式による統合型キャッシュ計算機においてキャッシュメモリのデータ記憶部全体を置換禁止領域と設定し得るキャッ

ユ計算機の構成を示す図である。

【図 8】

図 7 に示された制御部の構成を示す図である。

【図 9】

実施の形態 1 に係るダイレクトマップ方式による命令キャッシュ計算機においてキャッシュメモリのデータ記憶部全体を置換禁止領域と設定し得るキャッシュ計算機の構成を示す図である。

【図 1 0】

実施の形態 1 に係るダイレクトマップ方式によるデータキャッシュ計算機においてキャッシュメモリのデータ記憶部全体を置換禁止領域と設定し得るキャッシュ計算機の構成を示す図である。

【図 1 1】

実施の形態 1 に係るキャッシュロック命令とキャッシュアンロック命令の命令形式を示す図である。

【図 1 2】

実施の形態 1 に係るダイレクトマップ方式によるキャッシュ計算機においてキャッシュメモリのデータ記憶部につきキャッシュブロック毎に置換禁止領域を設定又は解除することができ、さらには全てのキャッシュブロックを同時に解除することもできるキャッシュ計算機の構成を示す図である。

【図 1 3】

図 1 2 に示された制御部の構成を示す図である。

【図 1 4】

実施の形態 1 に係るキャッシュブロックロック命令とキャッシュブロックアンロック命令の命令形式を示す図である。

【図 1 5】

実施の形態 2 に係るフル・アソシアティブ方式によるキャッシュ計算機においてキャッシュメモリに含まれたキャッシュブロックの全体を同時に置換禁止領域と設定し得るキャッシュ計算機の構成を示す図である。

【図 1 6】

図 1 5 に示された制御部の構成を示す図である。

【図 1 7】

実施の形態 2 に係るフル・アソシアティブ方式によるキャッシュ計算機においてキャッシュメモリのキャッシュブロック毎に置換禁止領域を設定又は解除することができ、さらには全てのキャッシュブロックを同時に解除することもできるキャッシュ計算機の構成を示す図である。

【図 1 8】

図 1 7 に示された制御部の構成を示す図である。

【図 1 9】

実施の形態 3 に係る 2 ウェイ・セット・アソシアティブ方式によるキャッシュ計算機においてキャッシュメモリに含まれた二つのウェイの双方を同時に置換禁止領域と設定し得る計算機の構成を示す図である。

【図 2 0】

図 1 9 に示された制御部の構成を示す図である。

【図 2 1】

実施の形態 3 に係る 2 ウェイ・セット・アソシアティブ方式によるキャッシュ計算機においてキャッシュメモリに含まれたデータ記憶部（ウェイ）毎に置換禁止領域を設定又は解除することができ、さらには全てのウェイを同時に解除することもできるキャッシュ計算機の構成を示す図である。

【図 2 2】

図 2 1 に示された制御部の構成を示す図である。

【図 2 3】

実施の形態 3 に係るキャッシュウェイロック命令とキャッシュウェイアンロック命令の命令形式を示す図である。

【図 2 4】

実施の形態 3 に係るキャッシュ計算機において二つのデータ記憶部（ウェイ）の同一キャッシュライン毎に同時に置換禁止領域を設定又は解除することができ、さらには全ての置換禁止領域を同時に解除することもできるキャッシュ計算機の構成を示す図である。

【図 25】

図 24 に示された制御部の構成を示す図である。

【図 26】

実施の形態 3 に係るキャッシュラインロック命令とキャッシュラインアンロック命令の命令形式を示す図である。

【図 27】

実施の形態 3 に係るキャッシュ計算機においてデータ記憶部（ウェイ）の各キャッシュブロック毎に置換禁止領域を設定又は解除することができ、さらには全ての置換禁止領域を同時に解除することもできるキャッシュ計算機の構成を示す図である。

【図 28】

図 27 に示された制御部の構成を示す図である。

【符号の説明】

1, 34, 41, 51, 61, 71, 81, 91, 101, 134, 234 プロセッサ
 3, 30, 40, 50, 60, 70, 80, 90, 100, 110, 120, 150, 250 キャッシュメモリ
 5, 115, 205 メインメモリ
 7, 14, 25, 117, 217 アドレスレジスタ
 9, 15, 17, 19, 20, 27, 119, 219 比較器
 10, 29, 78, 79, 88, 89, 98, 99, 108, 109, 111, 210 データ記憶部
 11, 23, 33, 39, 47, 57, 67, 77, 87, 97, 107, 139, 239 制御部
 13, 21, 31, 113, 213 データレジスタ
 32, 42, 52, 62, 72, 82, 92, 102, 132, 232 レジスタ部
 35, 43, 53, 63, 73, 83, 93, 103, 135, 235 命令フエッチ部

37, 45, 55, 65, 75, 85, 95, 105, 137, 237 命令実行部

300~310 デコード部

311~321 読出制御部

322~331, 363 書込制御部

332~338, 364 ブロックアドレス算出部

339~346 ORゲート

347~354 フラグ制御部

355~362 判断部

L, L0~Ln ロックフラグ

#0~#n キャッシュブロック

CL0~CLn キャッシュライン

TAG タグ

V 有効フラグ

M 変更フラグ

DATA キャッシュブロックデータ

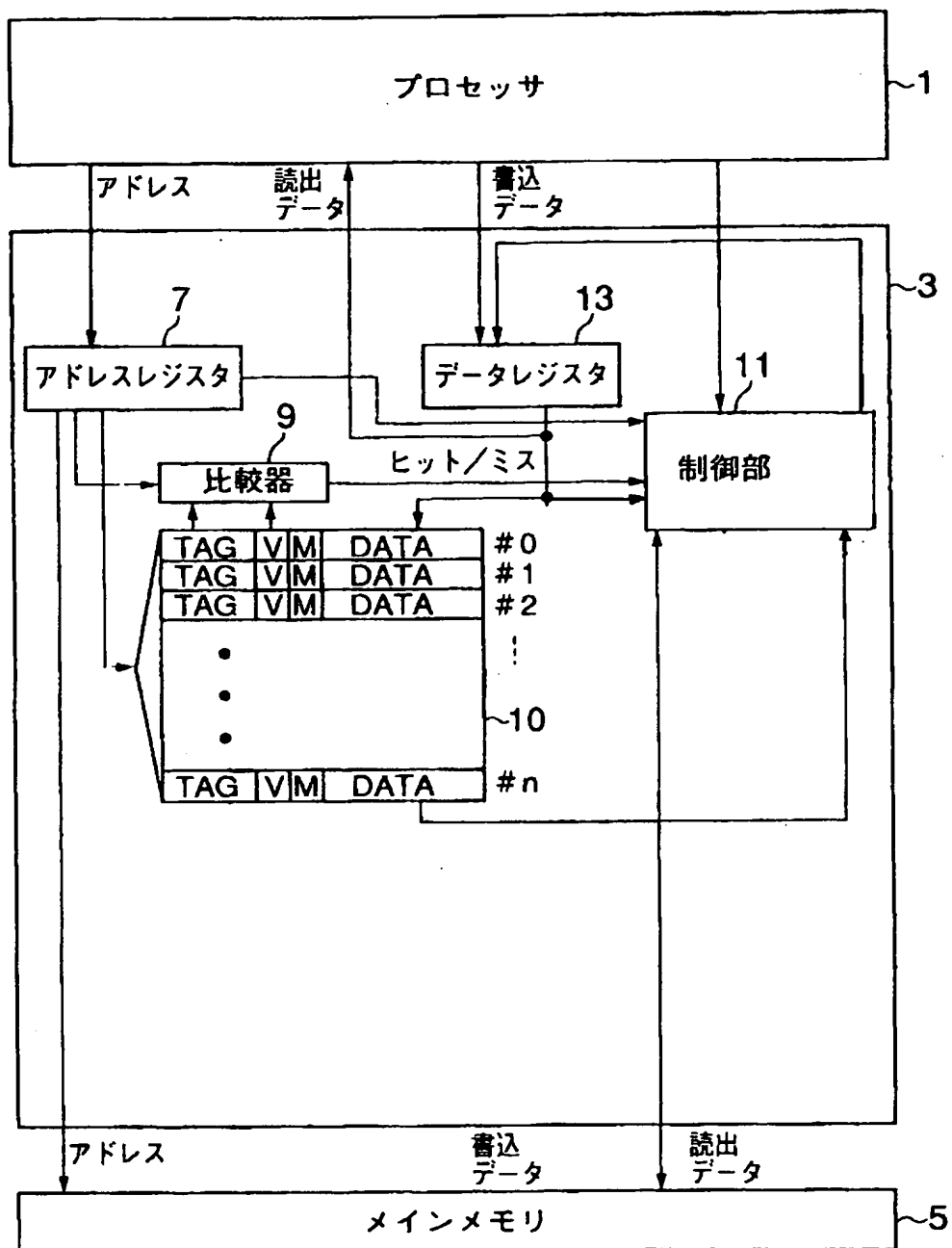
CBA キャッシュブロックアドレス

AL オールロック信号

【書類名】 図面

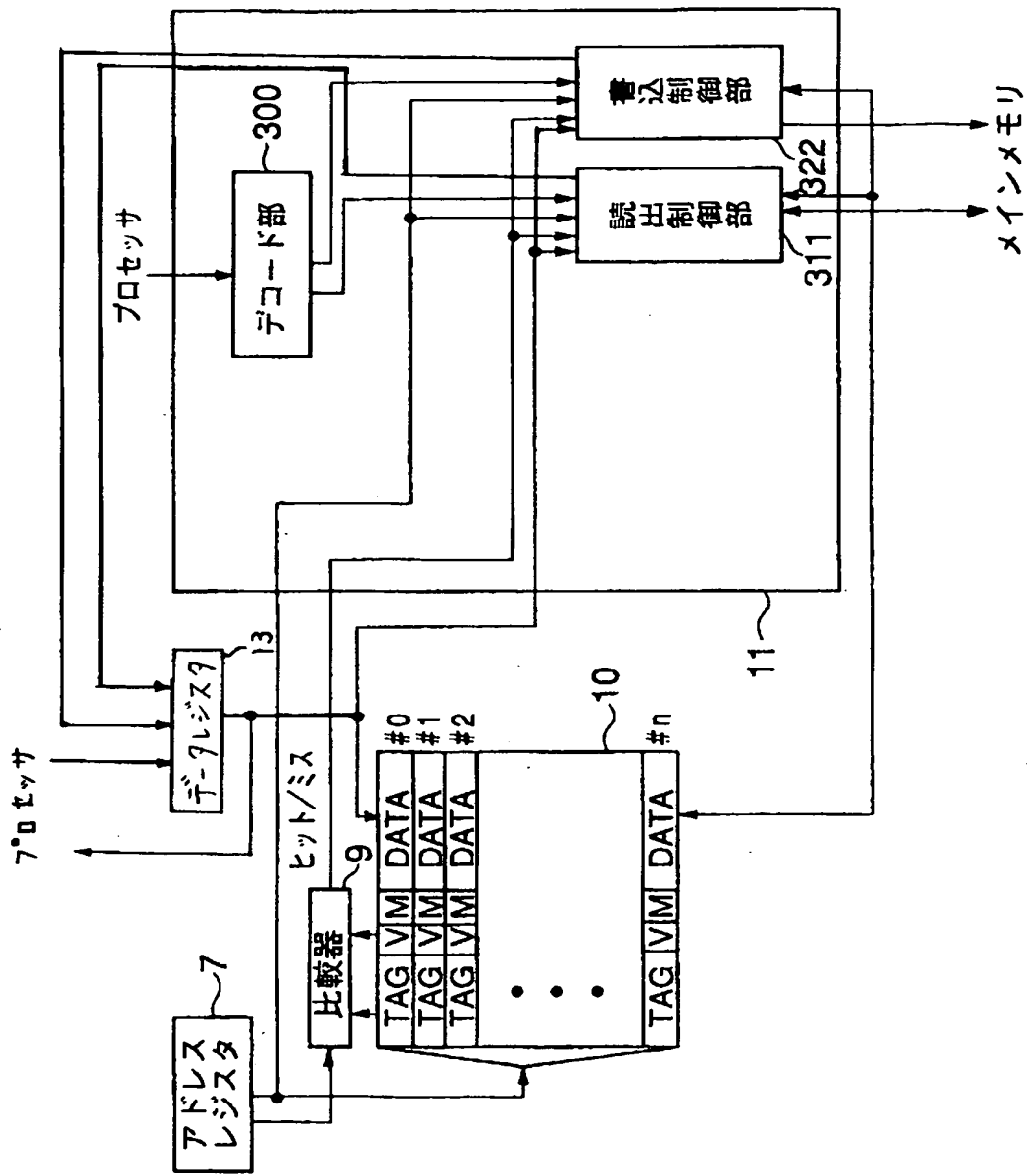
【図 1】

従来のダイレクトマップ(direct mapped)方式による
キャッシュ計算機の構成を示す図



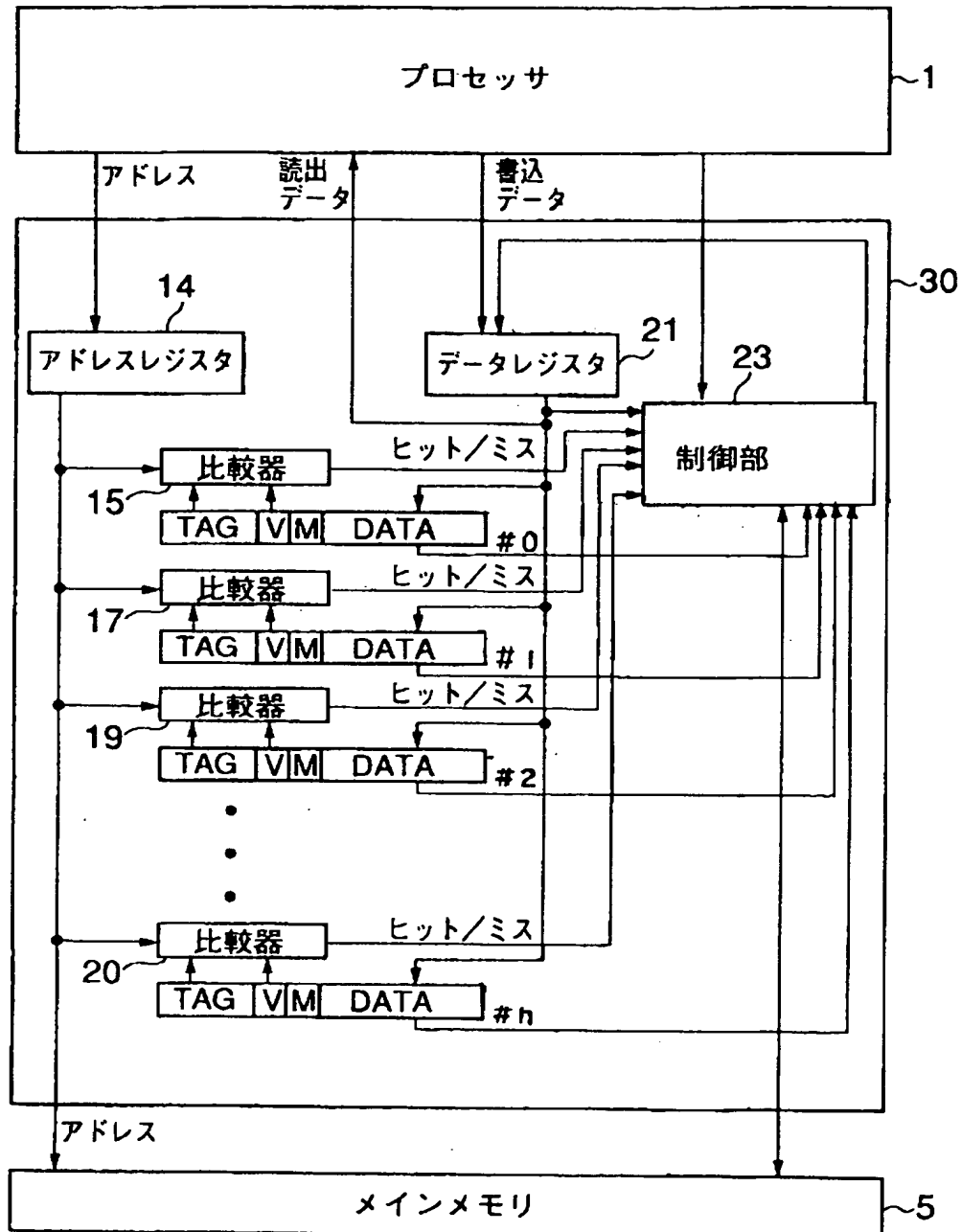
【図 2】

図1に示された制御部の構成を示す図



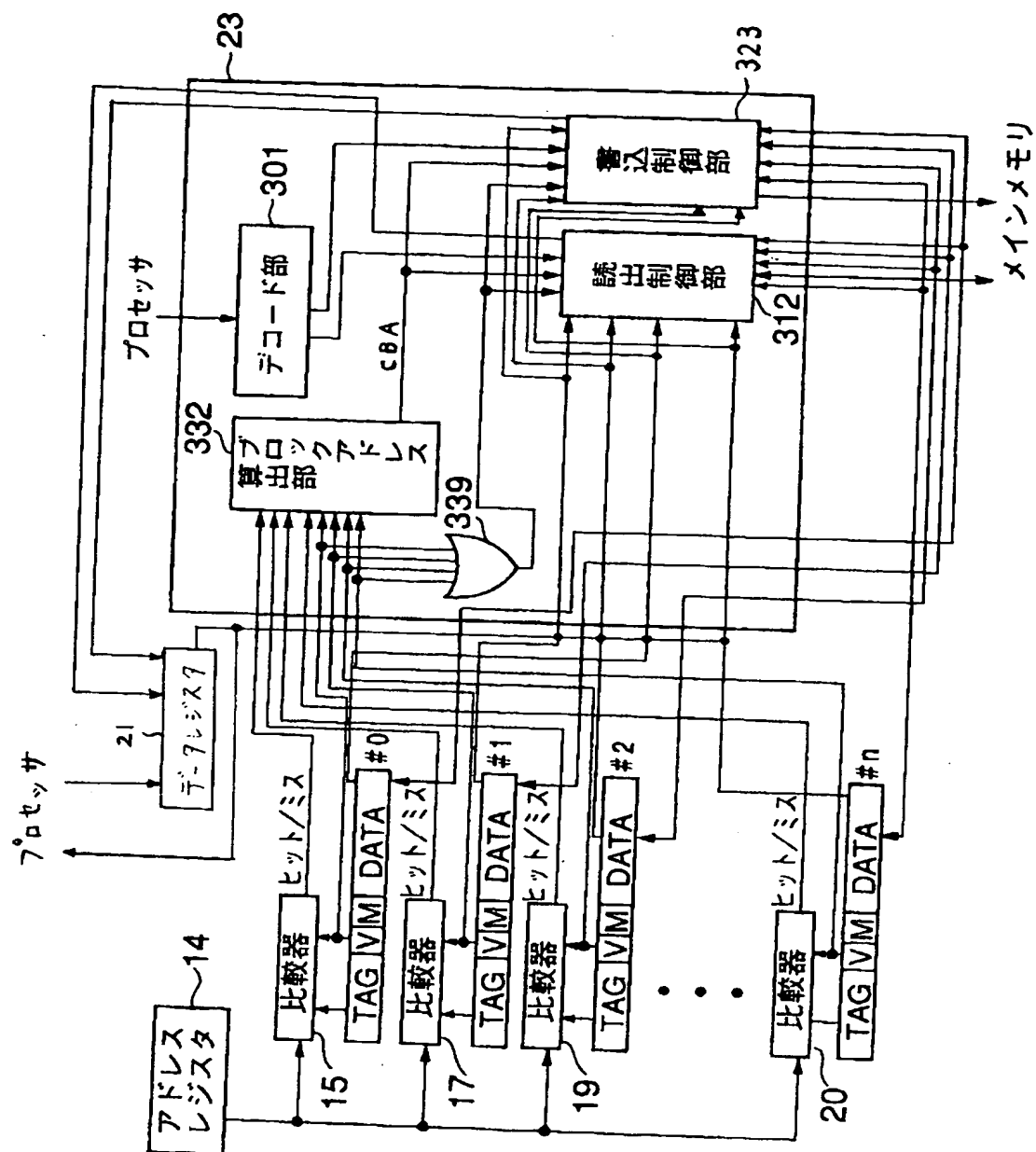
【図 3】

従来のフル・アソシアティブ(full associative)方式による
キャッシュ計算機の構成を示す図



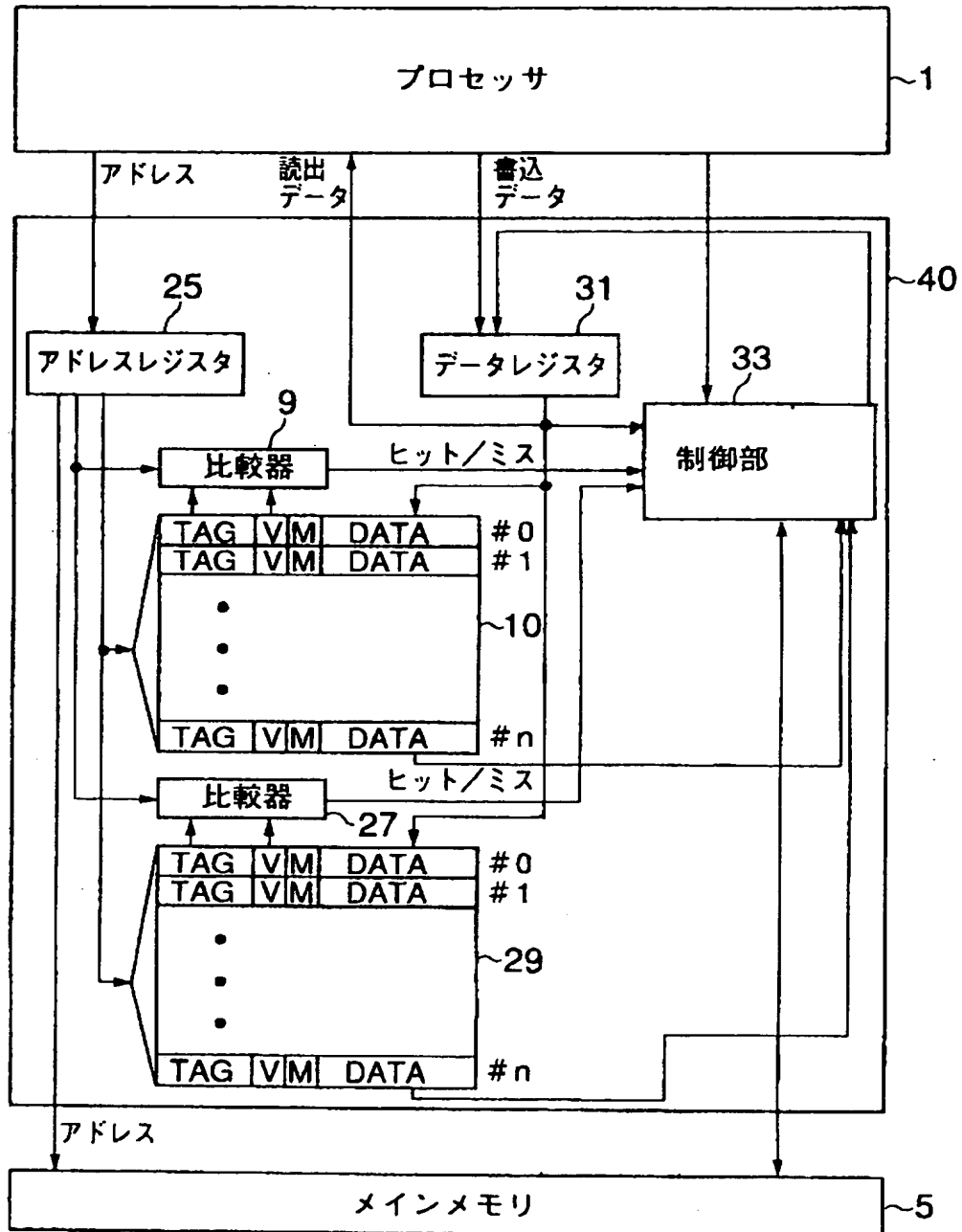
【図4】

図3に示された制御部の構成を示す図



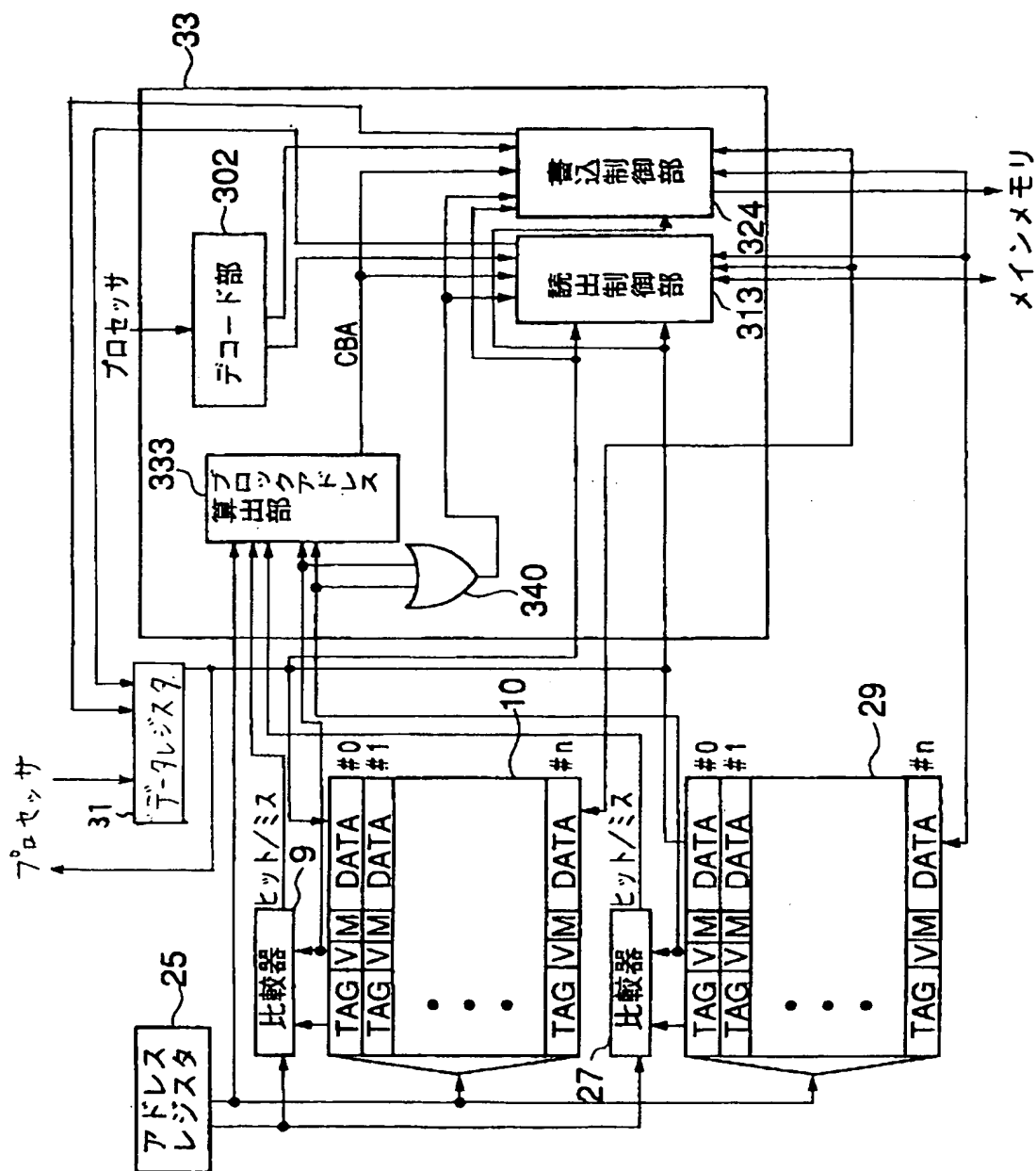
【図 5】

従来の2ウェイ・セット・アソシアティブ方式による
キャッシュ計算機の構成を示す図



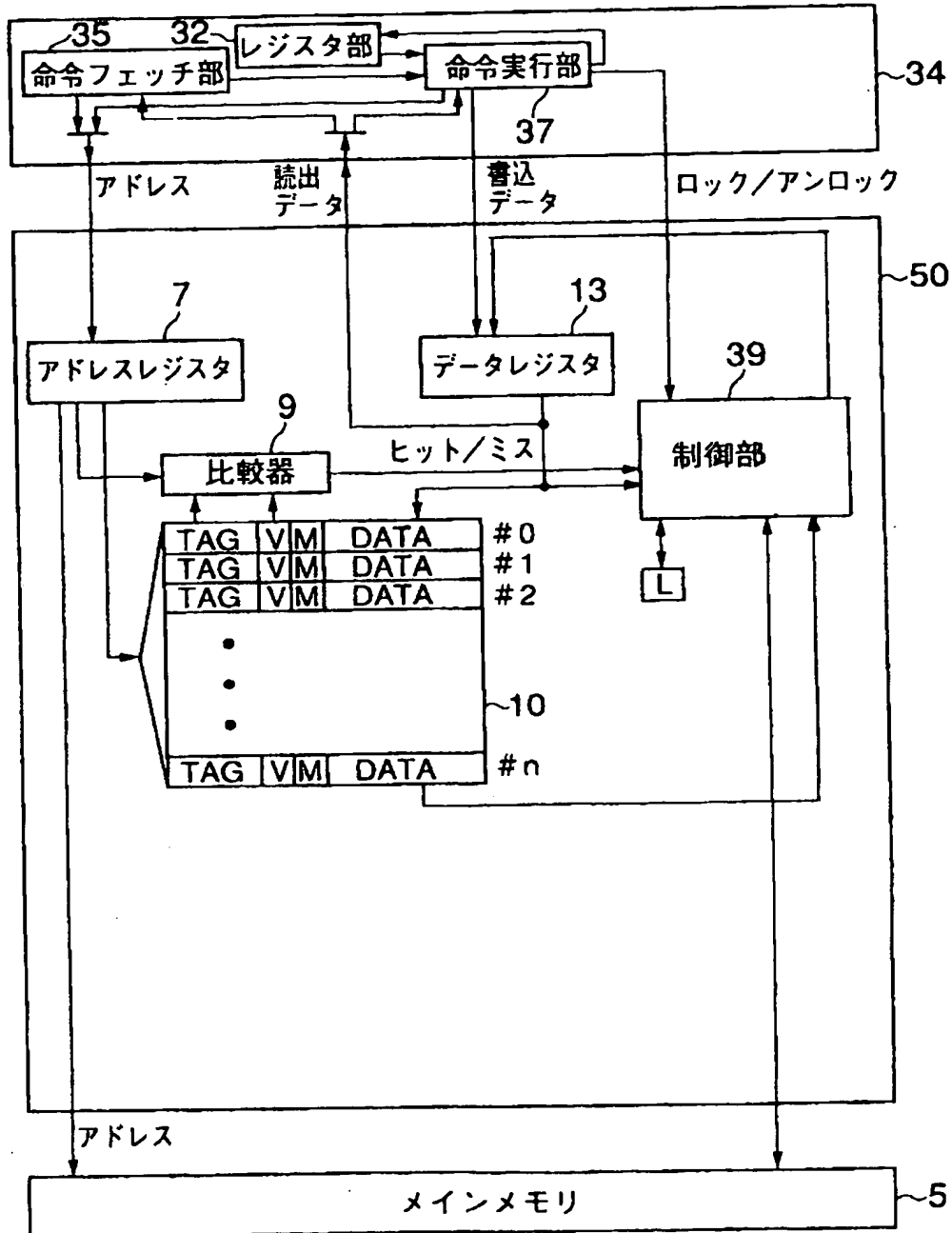
【図 6】

図5に示された制御部の構成を示す図



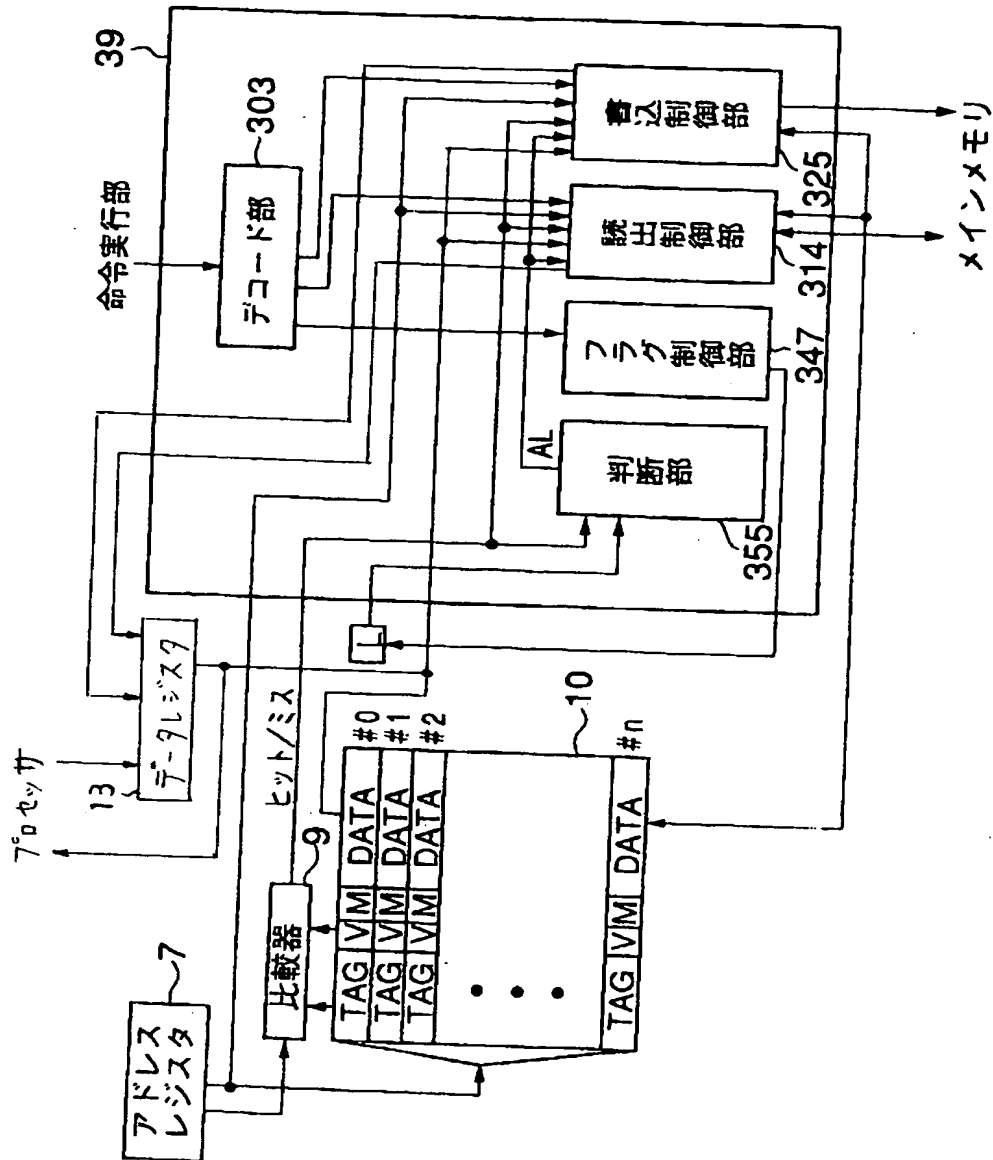
【図 7】

実施の形態1に係るダイレクトマップ方式による統合型キャッシュ
 計算機においてキャッシュメモリのデータ記憶部全体を置換禁止
 領域と設定し得るキャッシュ計算機の構成を示す図



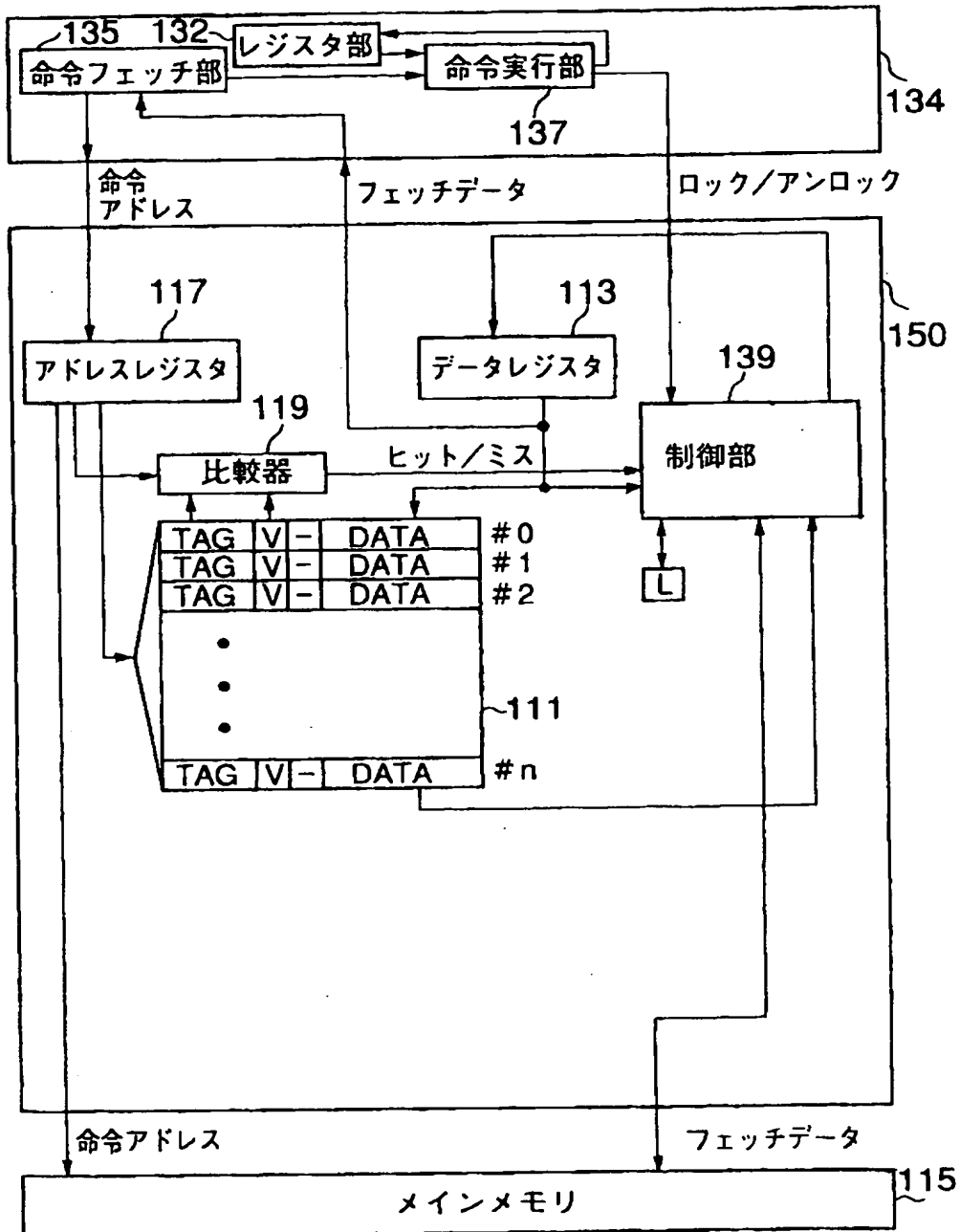
【図 8】

図7に示された制御部の構成を示す図



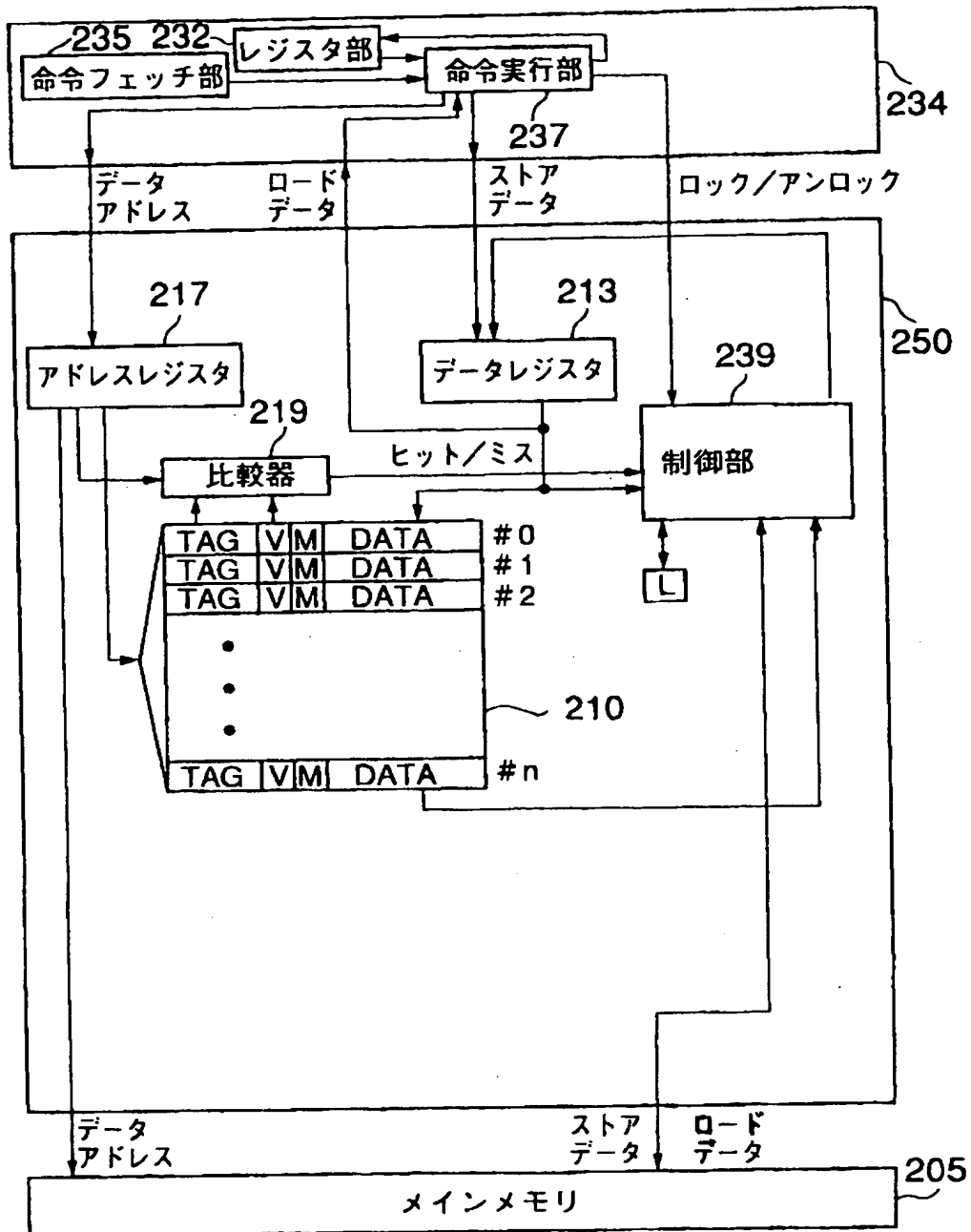
【図 9】

実施の形態1に係るダイレクトマップ方式による命令キャッシュ
計算機においてキャッシュメモリのデータ記憶部全体を置換禁止
領域と設定し得るキャッシュ計算機の構成を示す図



【図 1 0】

実施の形態1に係るダイレクトマップ方式によるデータキャッシュ
計算機においてキャッシュメモリのデータ記憶部全体を置換禁止
領域と設定し得るキャッシュ計算機の構成を示す図



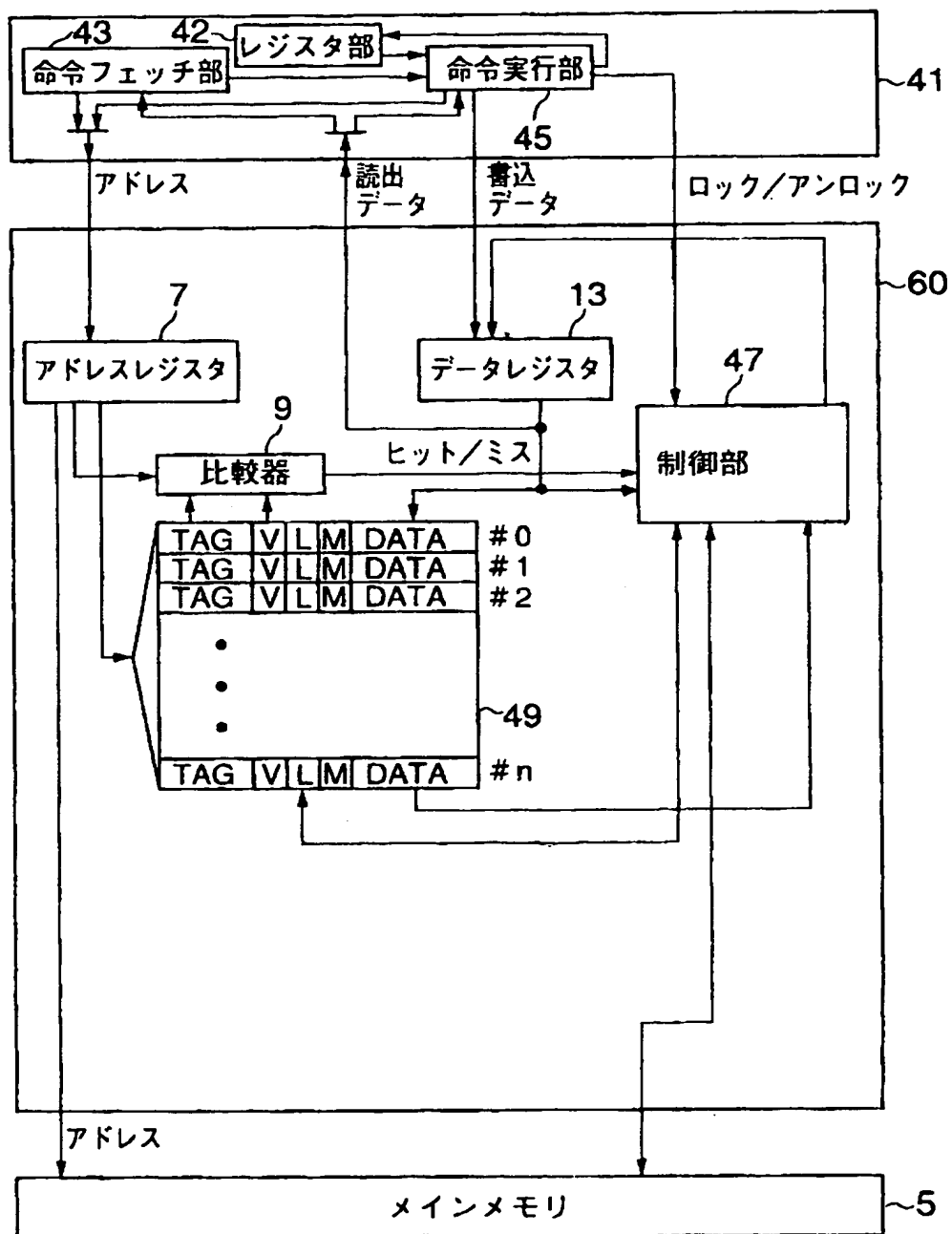
【図 1 1】

実施の形態 1 に係るキャッシュロック命令と
キャッシュアンロック命令の命令形式を示す図



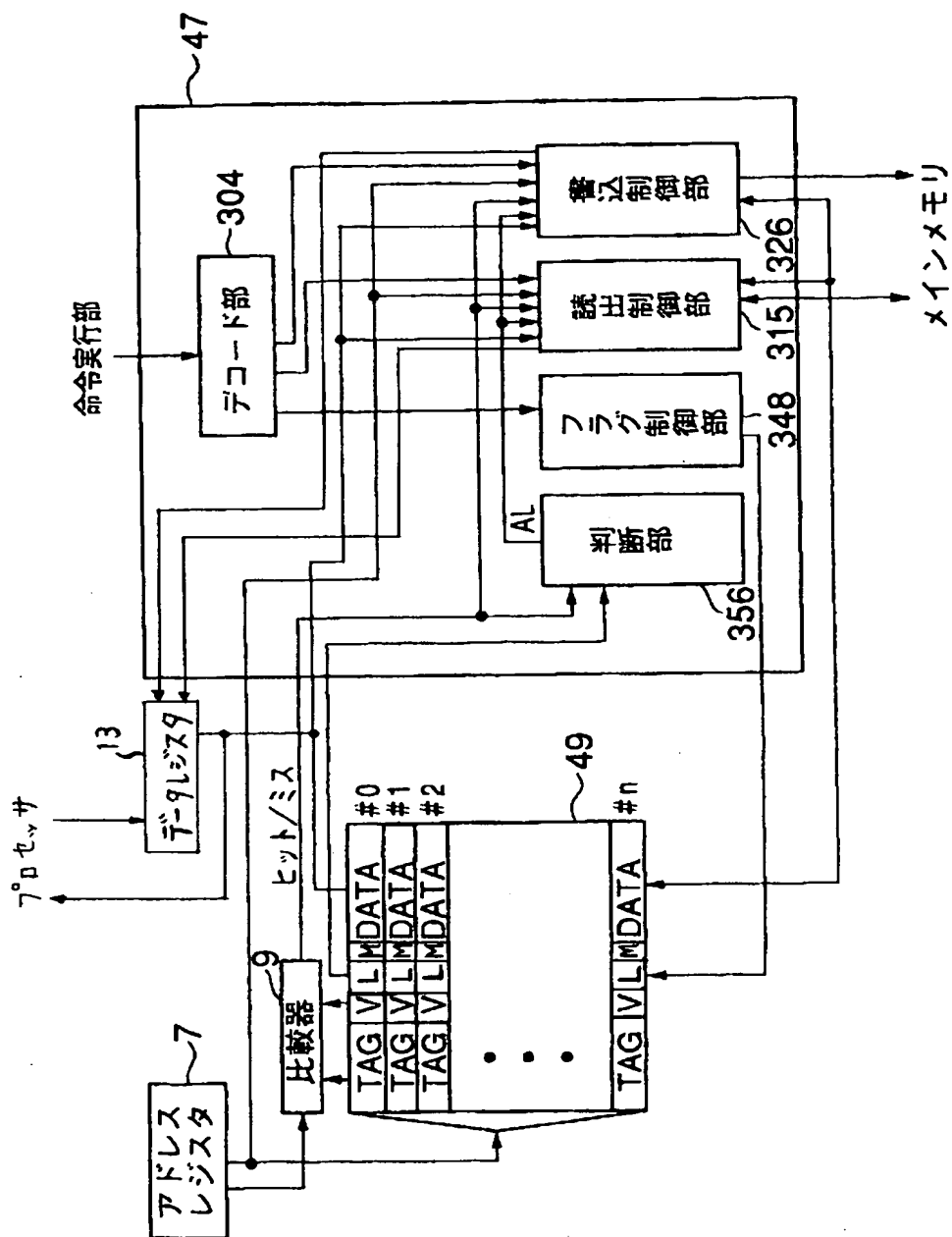
【図 1 2】

実施の形態1に係るダイレクトマップ方式によるキャッシュ計算機においてキャッシュメモリのデータ記憶部につきキャッシュブロック毎に置換禁止領域を設定又は解除することができ、さらには全てのキャッシュブロックを同時に解除することもできるキャッシュ計算機の構成を示す図



【図 1 3】

図12に示された制御部の構成を示す図



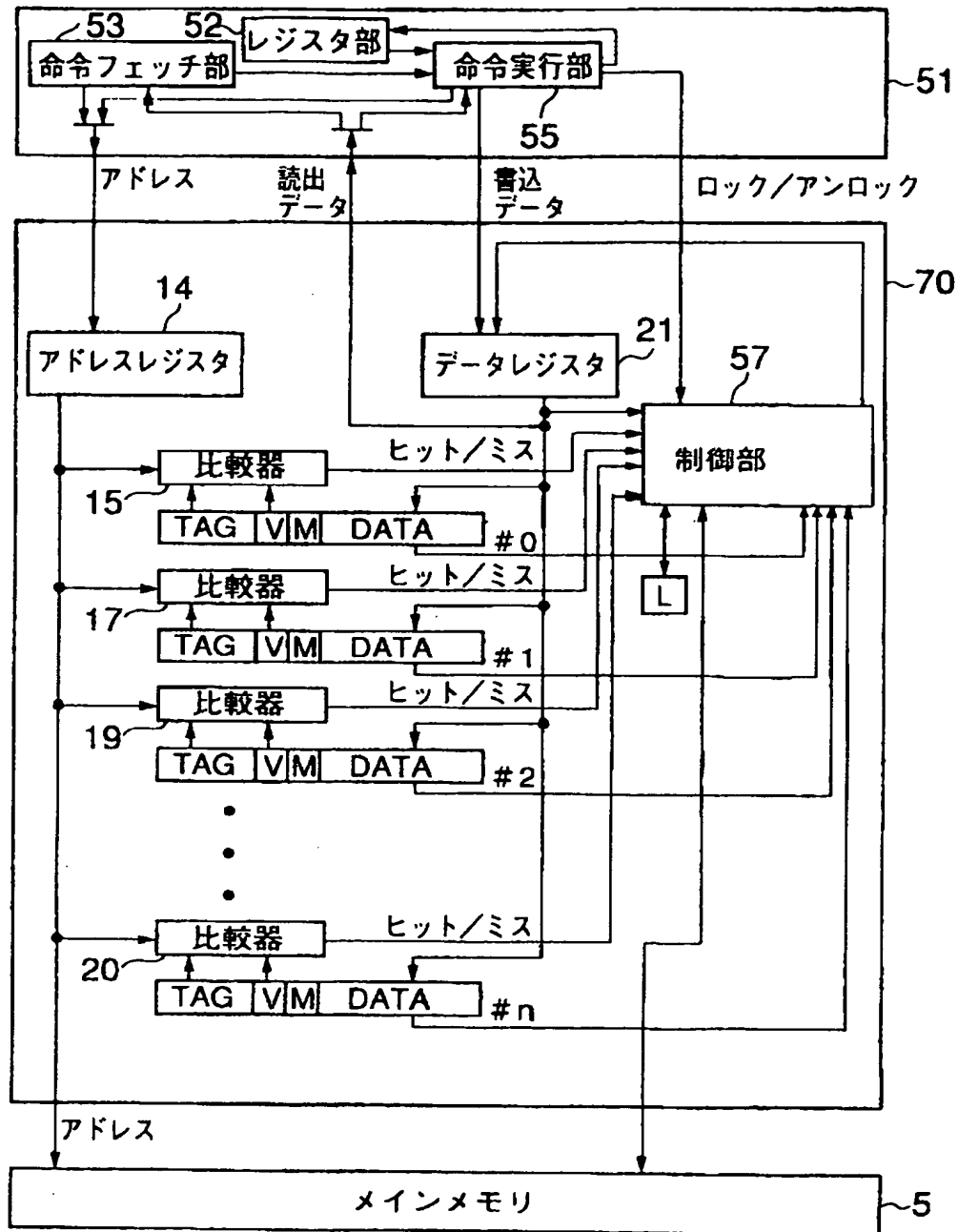
【図 1 4】

実施の形態 1 に係るキャッシュブロックロック命令と
キャッシュブロックアンロック命令の命令形式を示す図



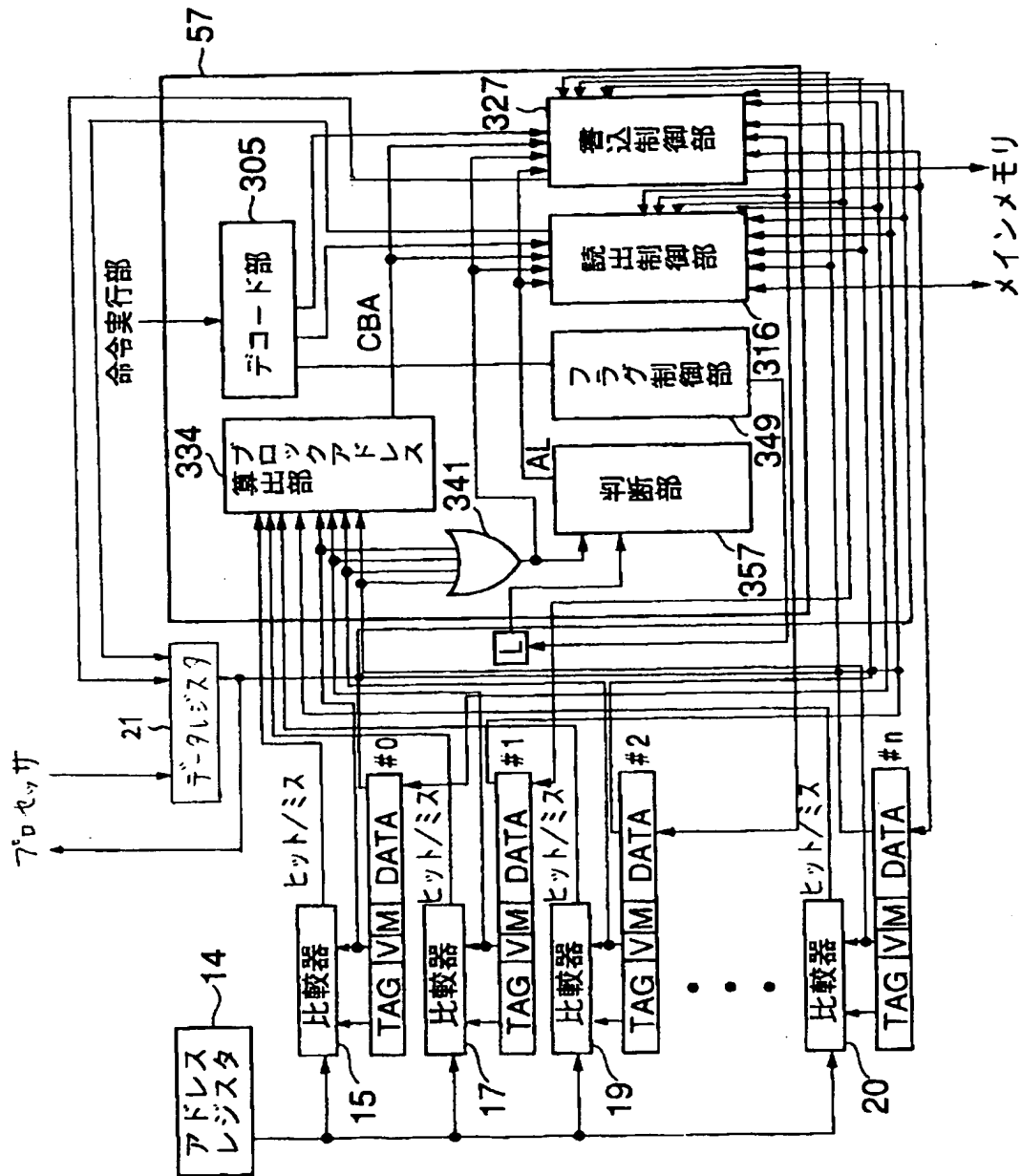
【図 1 5】

実施の形態2に係るフル・アソシアティブ方式によるキャッシュ計算機においてキャッシュメモリに含まれたキャッシュブロックの全体を同時に置換禁止領域と設定し得るキャッシュ計算機の構成を示す図



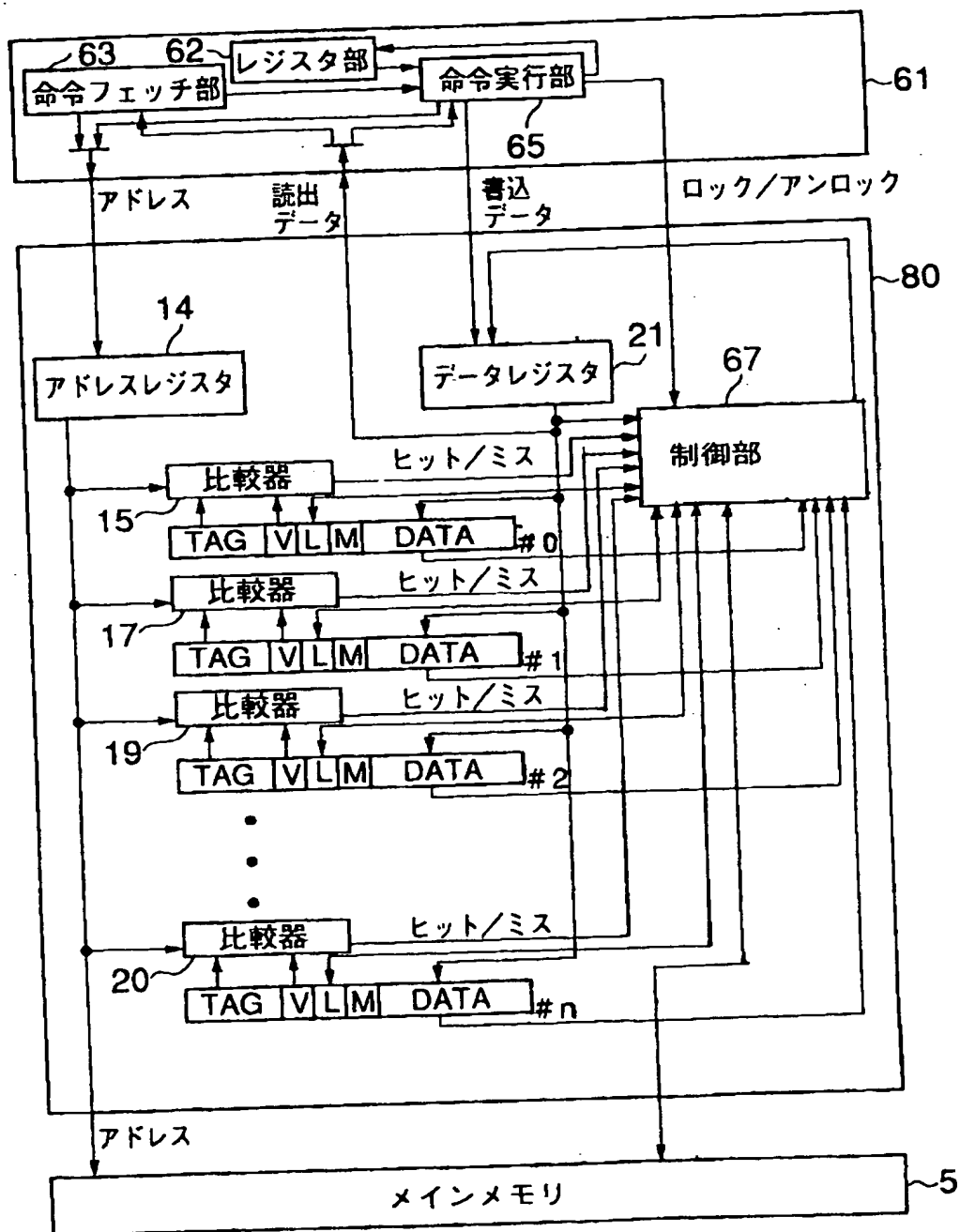
【図 16】

図15に示された制御部の構成を示す図



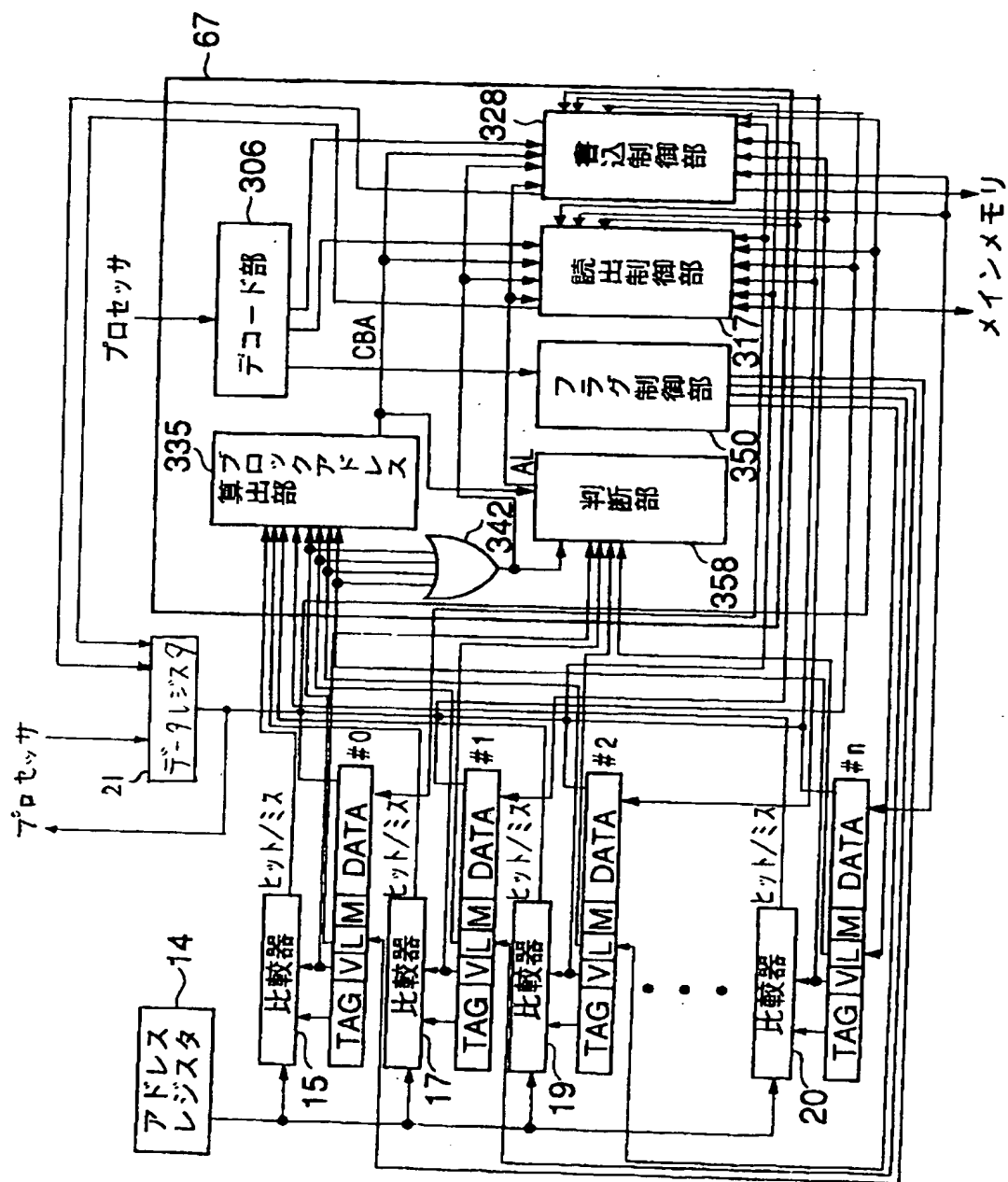
【図 1 7】

実施の形態2に係るフル・アソシティブ方式によるキャッシュ計算機においてキャッシュメモリのキャッシュブロック毎に置換禁止領域を設定又は解除することができ、さらには全てのキャッシュブロックを同時に解除することもできるキャッシュ計算機の構成を示す図



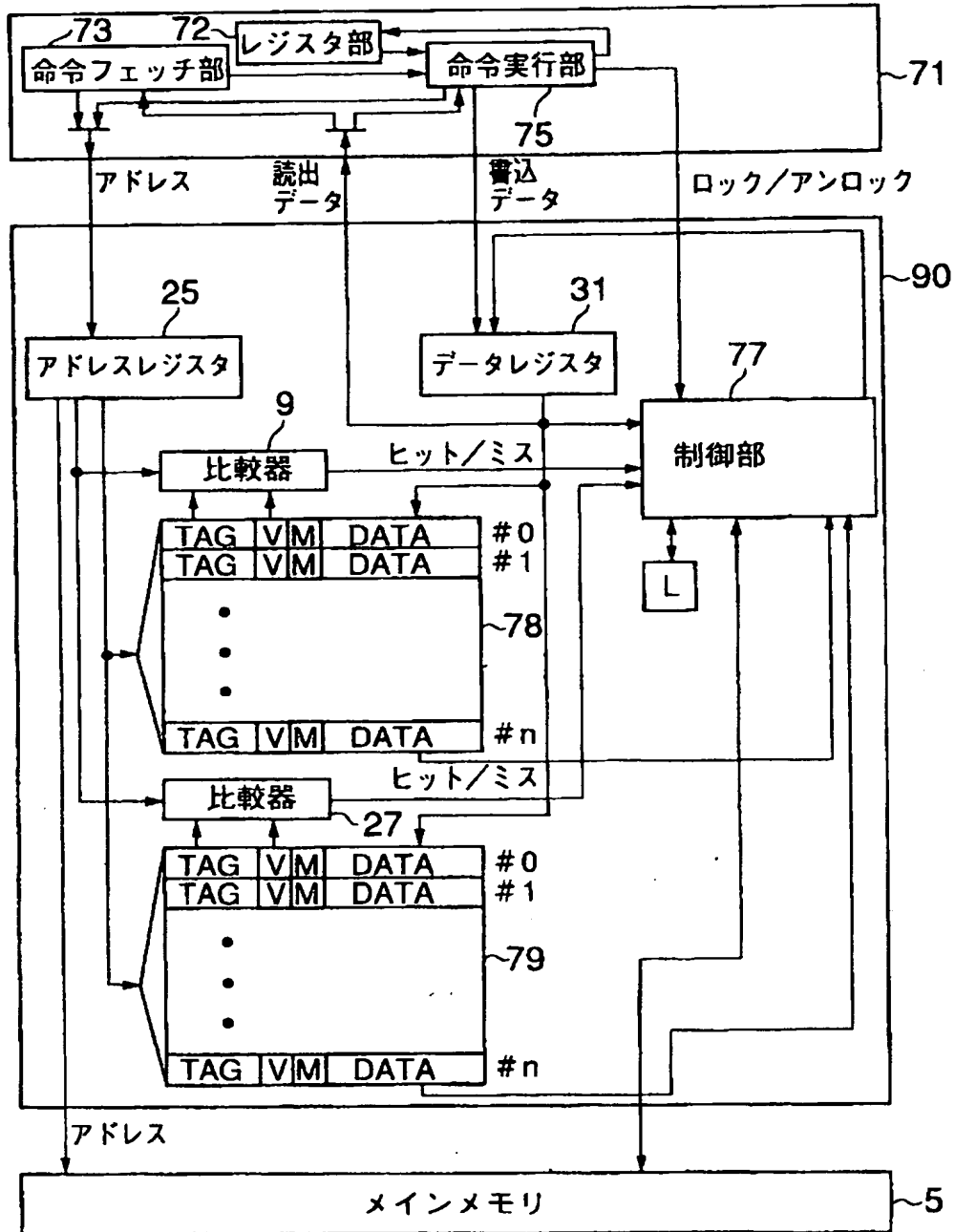
【図 18】

図17に示された制御部の構成を示す図



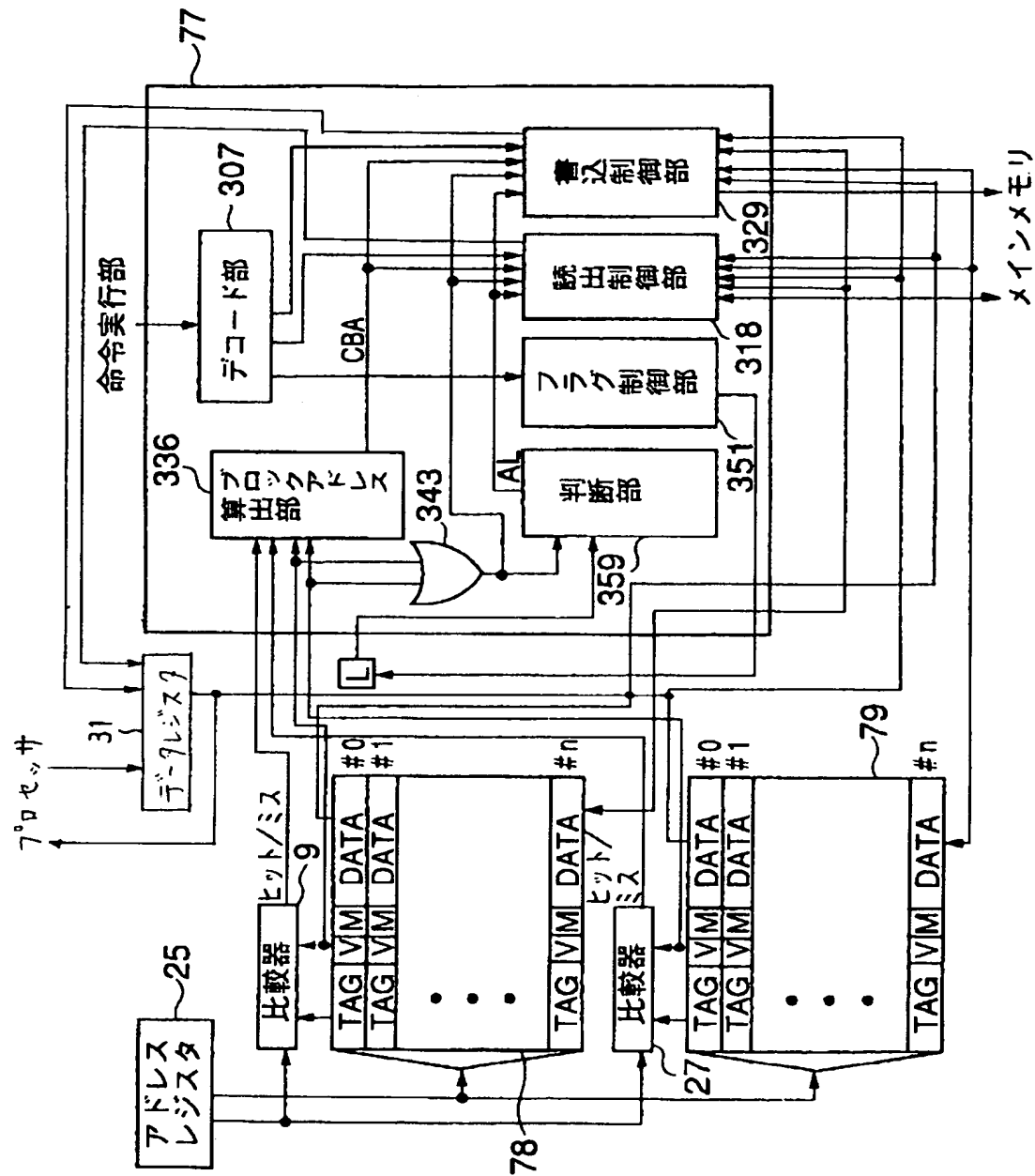
【図 1 9】

実施の形態3に係る2ウェイ・セット・アソシアティブ方式によるキャッシュ計算機においてキャッシュメモリに含まれた二つのウェイの双方を同時に置換禁止領域と設定し得る計算機の構成を示す図



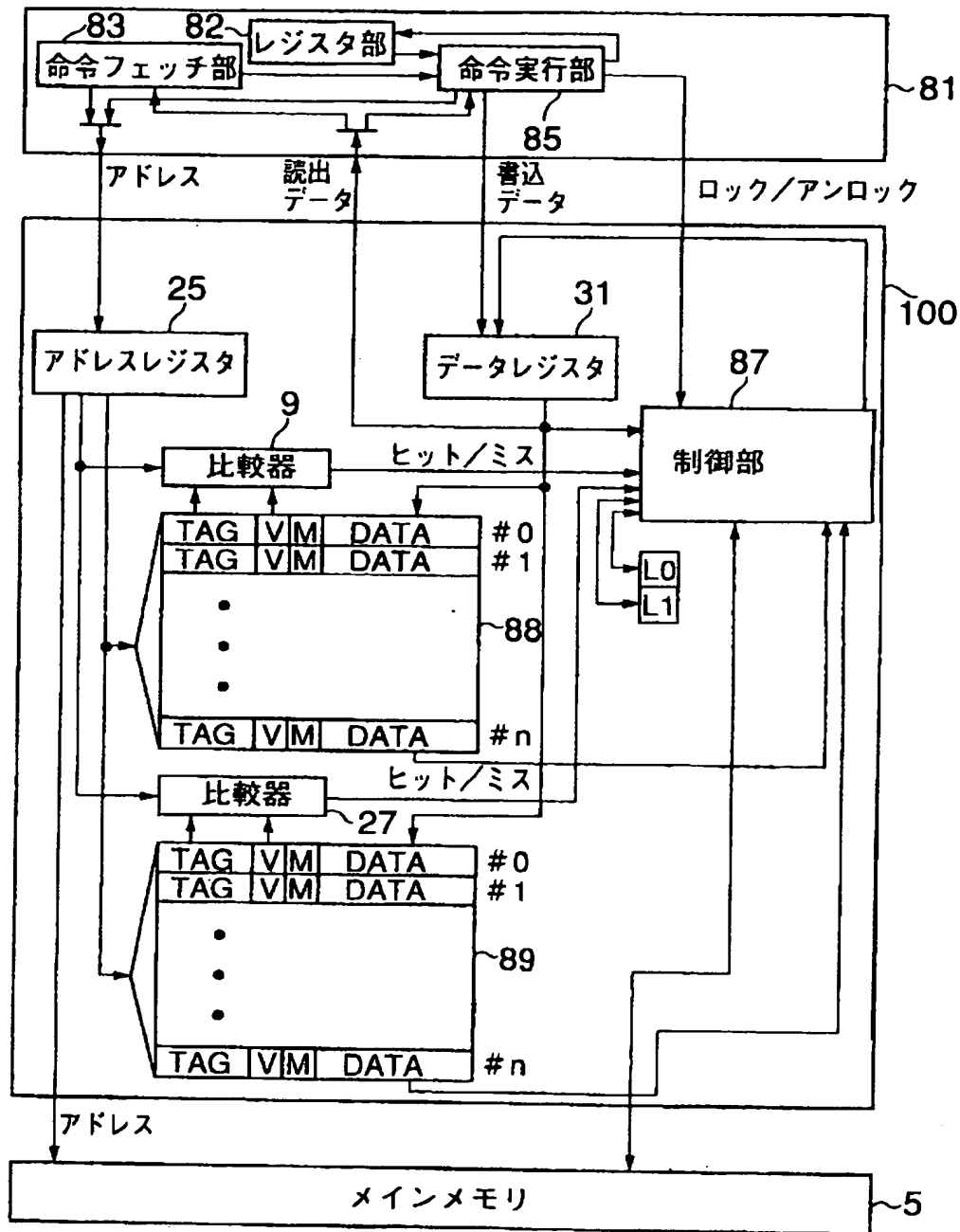
【図 2 0】

図19に示された制御部の構成を示す図



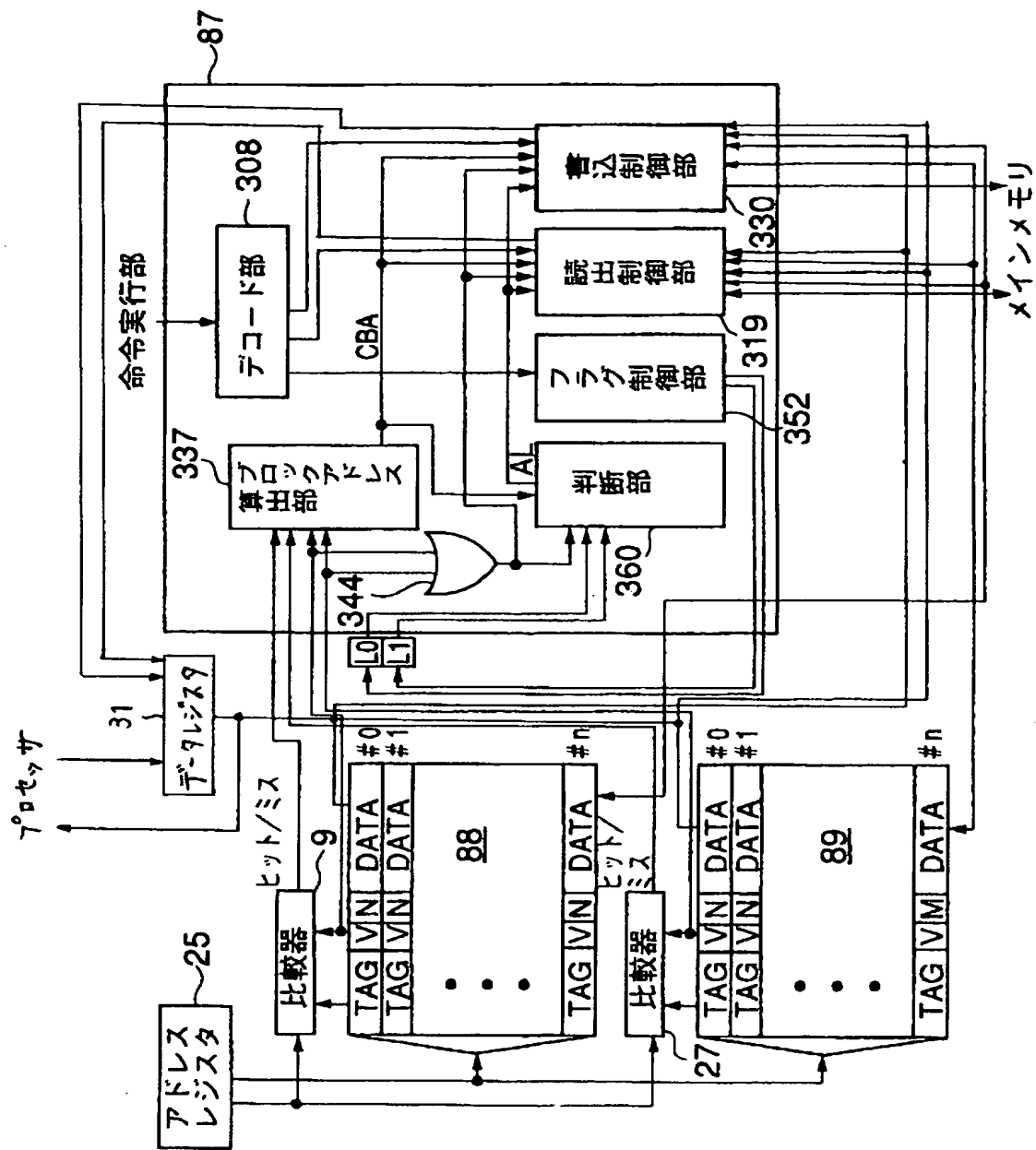
【図 21】

実施の形態3に係る2ウェイ・セット・アソシアティブ方式によるキャッシュ計算機においてキャッシュメモリに含まれたデータ記憶部（ウェイ）毎に置換禁止領域を設定又は解除することができ、さらには全てのウェイを同時に解除することもできるキャッシュ計算機の構成を示す図



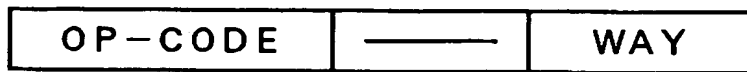
【図 2 2】

図21に示された制御部の構成を示す図



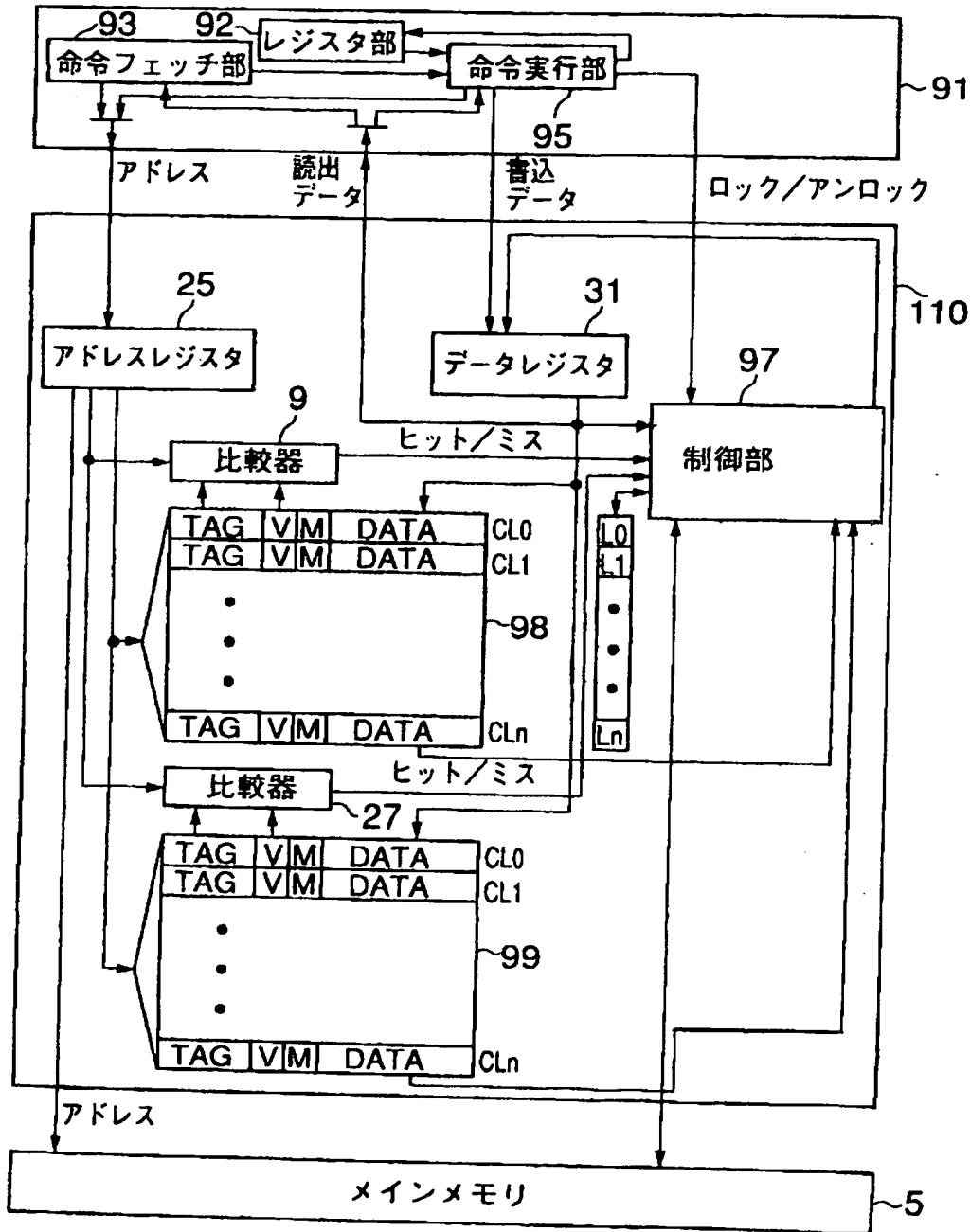
【図 2 3】

実施の形態 3 に係るキャッシュウェイロック命令と
キャッシュウェイアンロック命令の命令形式を示す図



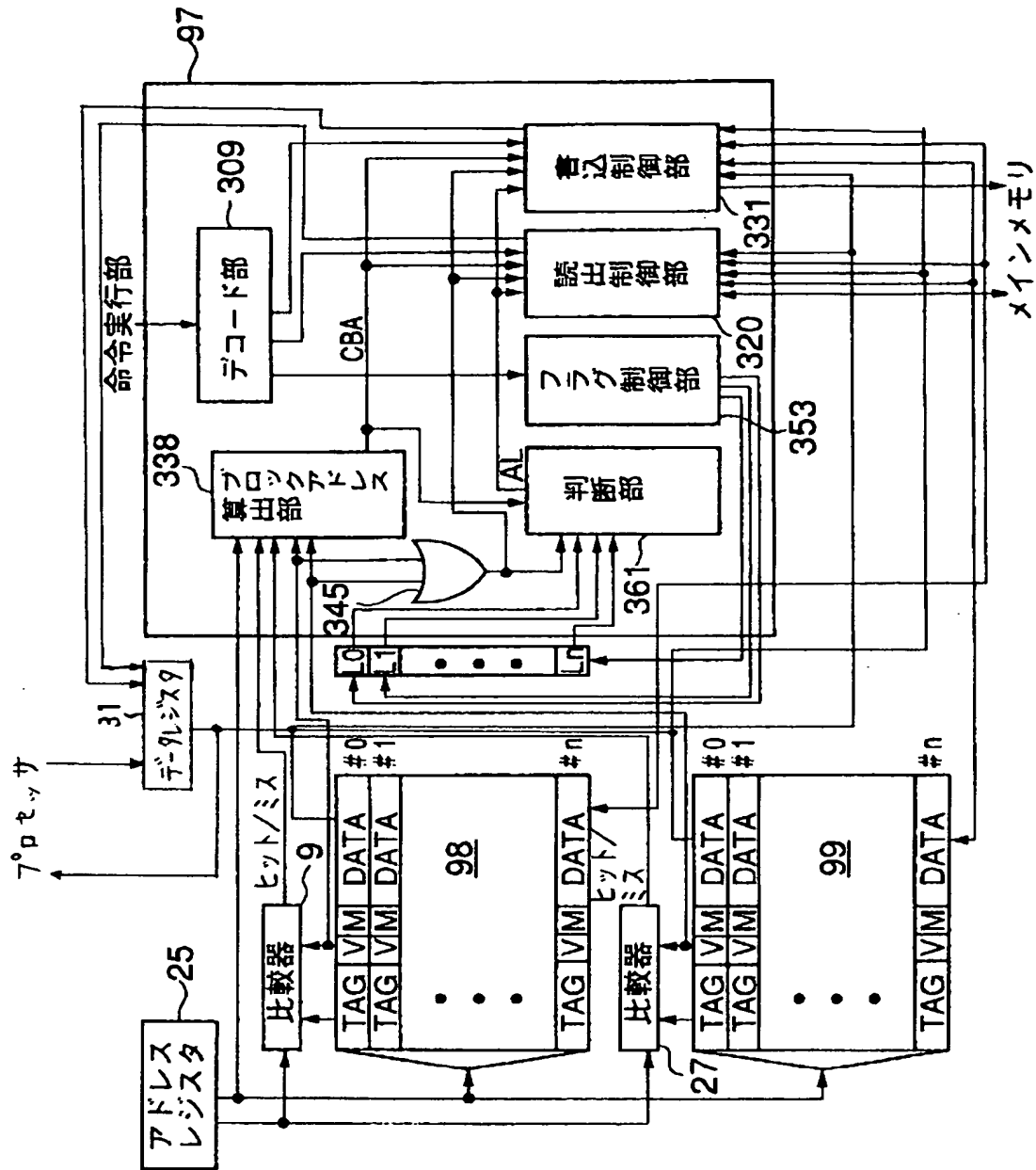
【図 2 4】

実施の形態3に係るキャッシュ計算機において二つのデータ記憶部（ウェイ）の同一キャッシュライン毎に同時に置換禁止領域を設定又は解除することができ、さらには全ての置換禁止領域を同時に解除することもできるキャッシュ計算機の構成を示す図



【図 2 5】

図24に示された制御部の構成を示す図



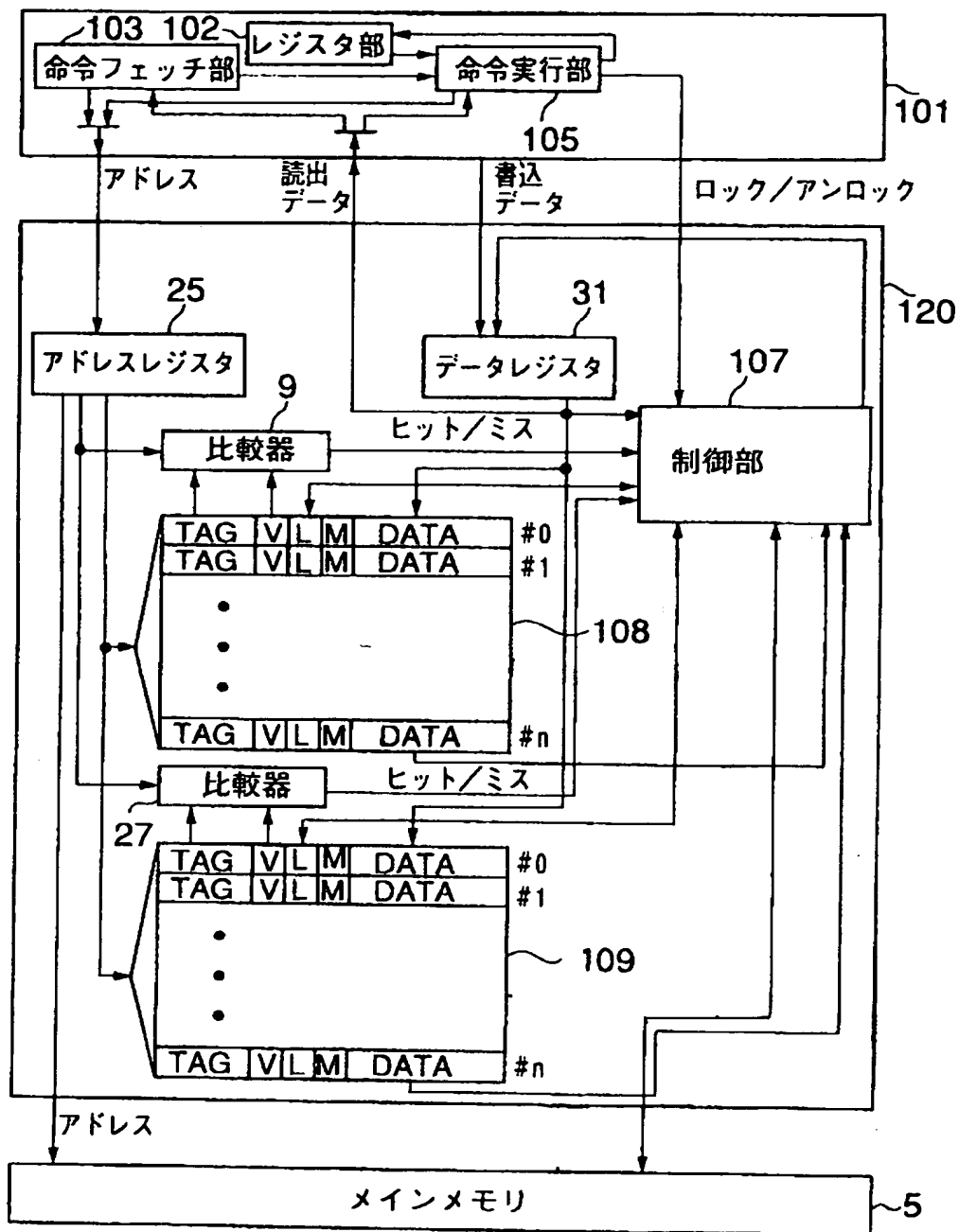
【図 2 6】

実施の形態 3 に係るキャッシュラインロック命令と
キャッシュラインアンロック命令の命令形式を示す図



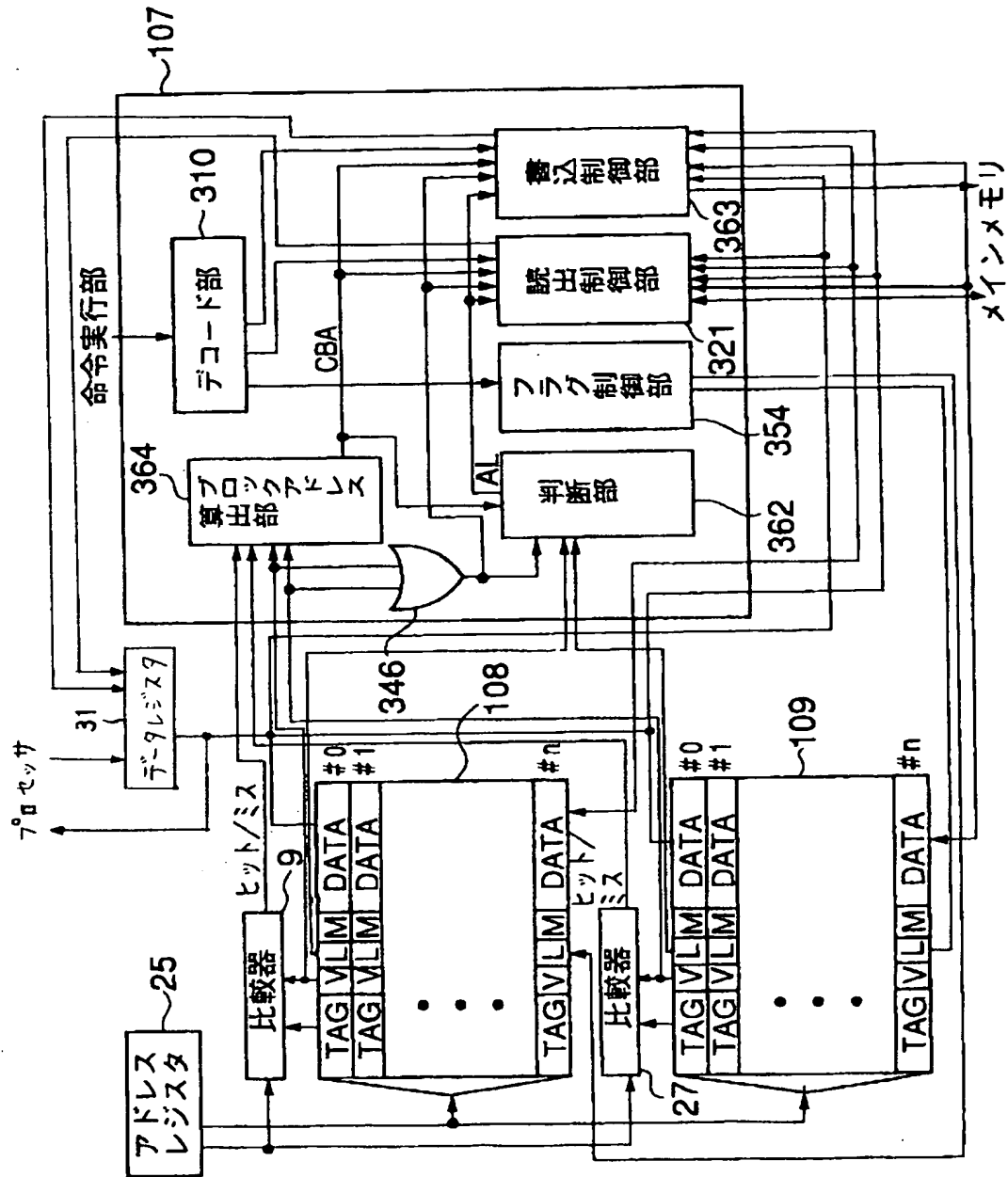
【図 2 7】

実施の形態3に係るキャッシュ計算機においてデータ記憶部（ウェイ）の各キャッシュブロック毎に置換禁止領域を設定又は解除することができ、さらには全ての置換禁止領域を同時に解除することもできるキャッシュ計算機の構成を示す図



【図 2 8】

図27に示された制御部の構成を示す図



【書類名】 要約書

【要約】

【課題】 参照局所性が期待できないプログラムにおいてもキャッシュメモリの使用の効果を向上させることができるキャッシュメモリの制御方法と、該方法を採用したキャッシュ計算機を提供する。

【解決手段】 メインメモリ 5 と、メインメモリ 5 に接続され複数のキャッシュブロック # 0 ~ # n に分割されたデータ記憶部 4 9 を有するキャッシュメモリ 6 0 とを備えた計算機であって、供給される命令により選択的にキャッシュブロックをメインメモリ 5 との置換禁止領域として設定し或は該設定を解除するために各キャッシュブロック内に設けられたロックフラグ L と、ロックフラグ L の値を参照して、置換禁止領域として設定されたキャッシュブロックをメインメモリ 5 と置換することなくメインメモリ 5 に対するデータの読み書きを行う制御部 4 7 とを備えたことを特徴とするキャッシュ計算機を提供する。

【選択図】 図 1 2